

Chapter 3. System communication methods

3.1. Components of a communications system

3.2. Signaling

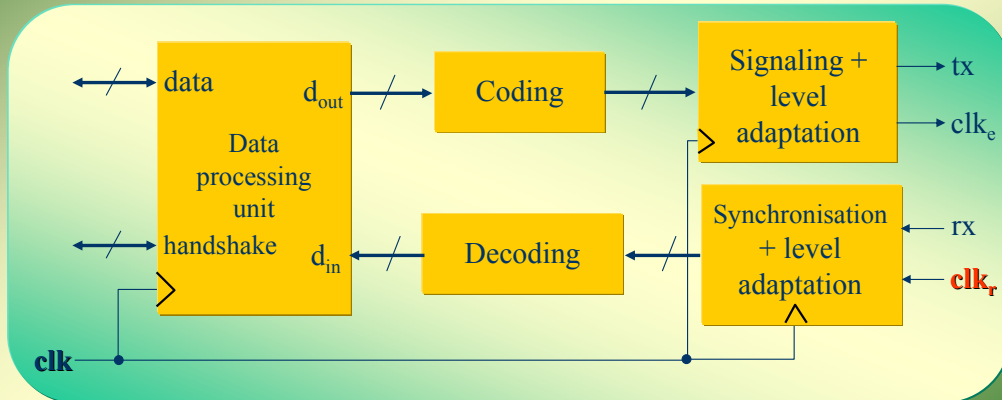
3.3. Serial and parallel communication protocols

3.3.1. Serial protocol examples (I²C, CAN, UART)

3.3.2 Parallel system communications standards (AMBA, Wishbone, CoreConnect)

3.1. Components of a communications system

➤ Organisation of a communications system:



3.1. Components of a communications system

La imatge mostra l'organització d'un sistema de comunicacions, tal i com ja es va introduir al mòdul anterior. Al mòdul 2 es van tractar fonamentalment els aspectes de sincronització i recuperació dels senyals de rellotge i de dades. Aquestes tasques són necessàries per construir un sistema receptor. Dins de la primera part d'aquest mòdul es consideraran els aspectes relacionats amb l'ordenació temporal de senyals necessària per construir un sistema emissor.

• Frequency synthesis:

➤ Utility:

- Ordering of a sequence of signals in definite time intervals (emitter)
- Generation of signals with variable length/period (timers)
- Generation of signals with variable interval (watchdogs)

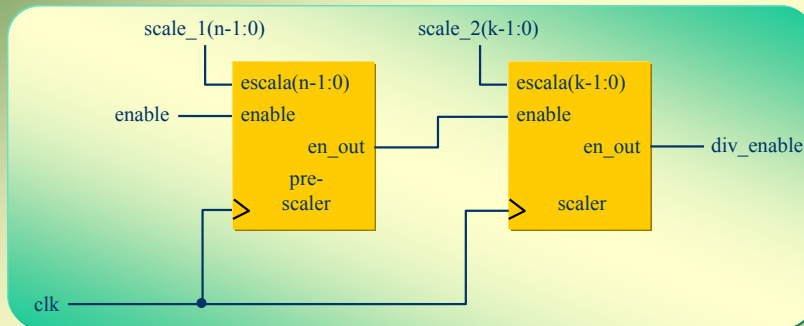
➤ Principle:

- Generation of enable signals with fixed width (T_{clk}) and variable period (T_{sin})

3.1. Components of a communications system

El procés bàsic necessari per tal d'establir una certa ordenació temporal en un senyal és la síntesi de freqüències. Aquest procés permetrà generar senyals de freqüència i cicle de treball variable, de manera que així serà possible construir diversos sistemes temporitzadors. El principi bàsic de la síntesi de freqüències consisteix en la generació de senyals d'amplada fixa i període variable. L'amplada d'aquests senyals serà un període del senyal de rellotge del sistema. Aquests senyals seran utilitzats posteriorment com a senyals d'habilitació, tal i com ja s'ha explicat al mòdul anterior.

• Basic structure of a frequency synthesiser:



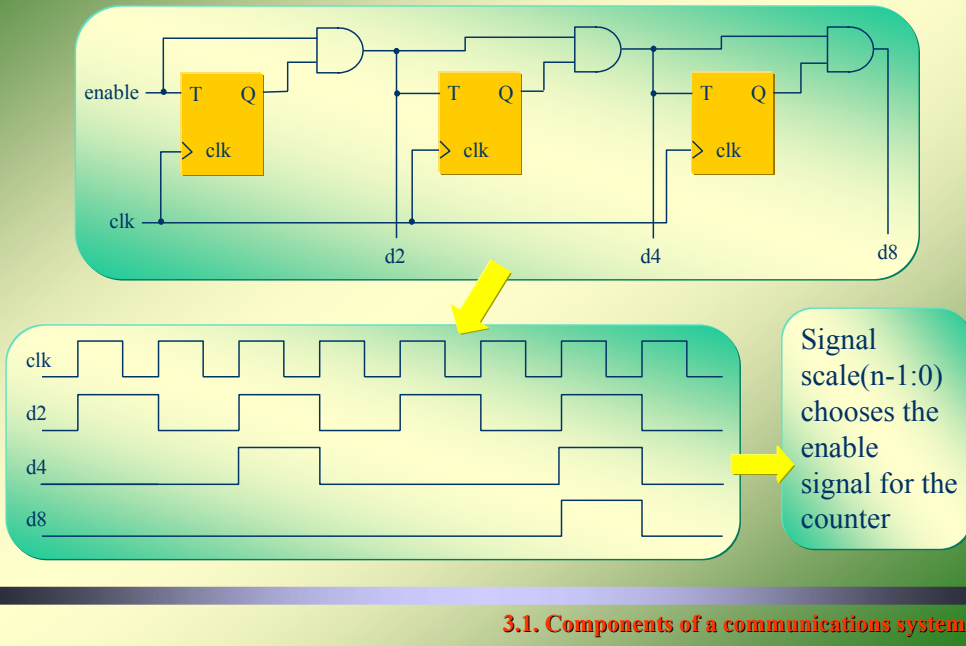
- Separation in two stages: Area and delay minimisation
- **Pre-scaler:** Division by 2^{p-k} , 2^{p-2k} , ..., 2^k , 2
- **Scaler:** Division by 1, 2, 3, ..., $2^k - 1$, 2^k

3.1. Components of a communications system

La part superior de la imatge mostra l'estructura bàsica d'un divisor de freqüències. Aquest sistema es divideix habitualment en dues seccions: una primera secció de pre-escalat i una segona secció d'escalat de freqüència. Aquesta divisió es fa amb la finalitat de minimitzar els problemes de tenir cadenes de comptadors molt llargues, les quals es poden veure afectades per problemes de *clock skew*. A més, d'aquesta manera les funcions necessàries per realitzar la divisió de freqüències seran més compactes, de manera que l'àrea necessària per a la seva implementació també serà menor.

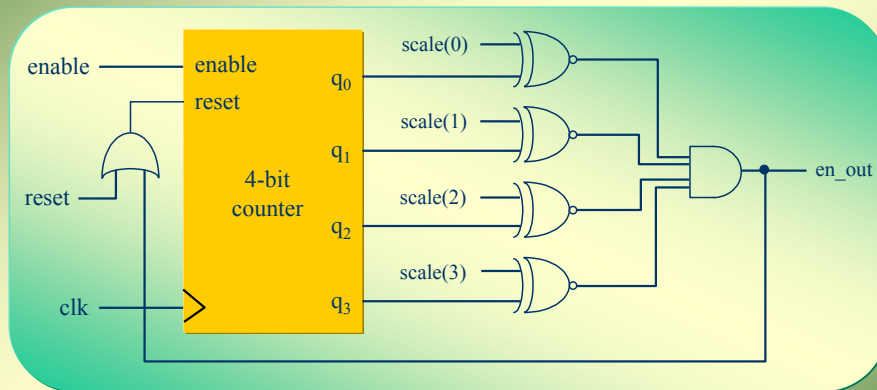
La etapa de pre-escalat s'encarregarà de generar un senyal d'habilitació amb una freqüència que serà la de rellotge del sistema dividida per un factor que serà una potència de 2.

La etapa d'escalat aplicarà al senyal resultant de l'etapa anterior una divisió de freqüència per un factor que pot ser qualsevol número sencer. La combinació d'ambdues etapes permetrà doncs l'obtenció d'un senyal d'habilitació amb una freqüència programable dins d'un determinat marge. Cal tenir present que, tal i com està construït un divisor de freqüències, és possible obtenir un mateix factor de divisió de diverses maneres. Així per exemple el factor de divisió 24 es pot aconseguir amb un factor de pre-escalat de 8 i un factor d'escalat de 3, o bé amb un factor de pre-escalat de 4 i factor d'escalat de 6.

• Pre-scaler (division by 2^n): Synchronous binary counter**3.1. Components of a communications system**

La part superior de la imatge mostra l'estructura bàsica del subsistema de pre-escalat. Com es pot apreciar, es tracta d'un comptador binari sincron, del qual es faran servir com a sortides d'habilitació els senyals que encadenen les etapes de compteig. Tal i com es pot veure a la part inferior esquerra de la imatge, aquests senyals es poden utilitzar com a senyals d'habilitació de freqüència variable, on la freqüència resultant és la del rellotge del sistema dividida per un factor que és una potència de 2.

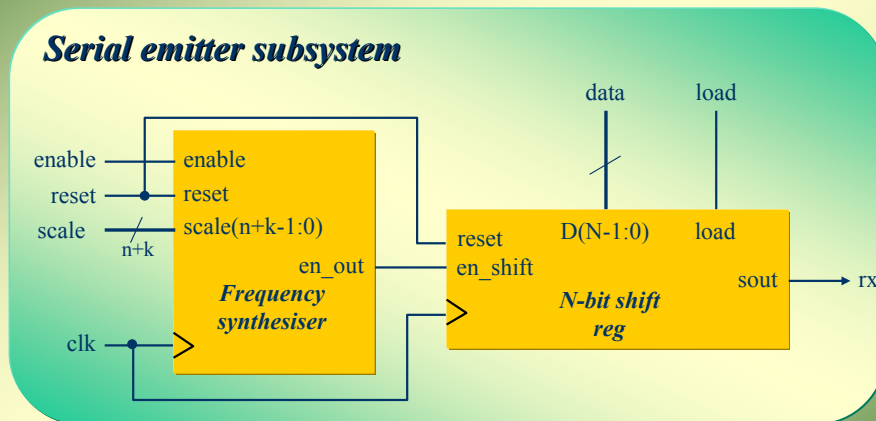
• Scaler (division by any integer value):



3.1. Components of a communications system

La imatge mostra l'estructura d'un sistema d'escalat de freqüència programable, particularitzat pel cas en que el factor de divisió estigui dins del marge [2, 16]. Com es pot apreciar, el sistema consta bàsicament d'un comptador binari i un comparador. És important tenir present que per garantir un correcte funcionament del sistema el senyal d'habilitació generat, *en_out*, s'ha d'utilitzar també com a senyal de reset sincron del comptador. També és important recordar que el factor de divisió de freqüència produït per aquest sistema serà el valor escala+1.

• Temporal ordering of a sequence of signals:

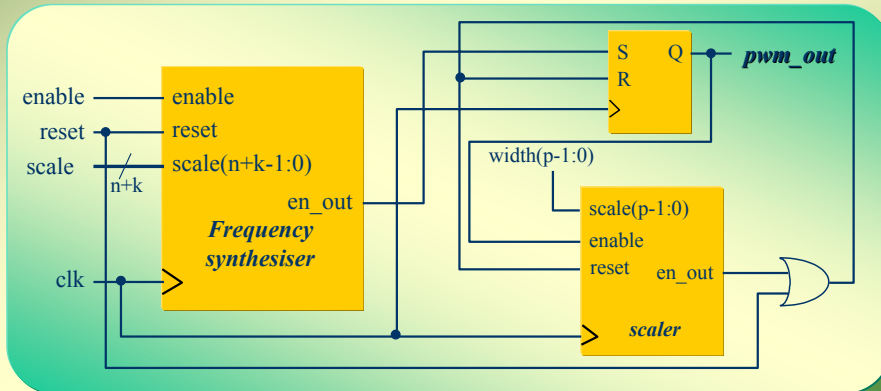


3.1. Components of a communications system

Una vegada definides les estructures bàsiques dels subsistemes encarregats de dur a terme la síntesi de freqüències, a la imatge es mostra una possible estructura corresponent a un sistema emissor sèrie amb període de bit variable. El sistema consta d'un sintetitzador de freqüències i d'un registre de desplaçament, la sortida del qual proporciona el valor de la dada a emetre. El senyal de sortida del sintetitzador de freqüències s'utilitza com a senyal d'habilitació de desplaçament d'aquest registre. Per tant, el valor de l'entrada *escala* es determinarà el període de bit del sistema.

• Timers:

- **Generation of signals with variable frequency:** Frequency synthesiser
- **Generation of signals with variable duty cycle (PWM):**



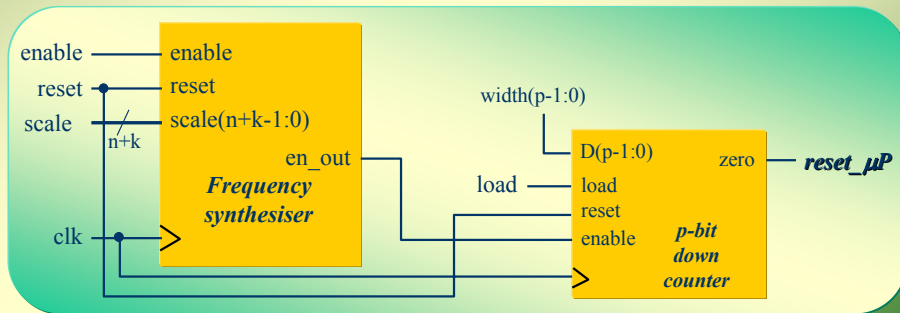
3.1. Components of a communications system

Si un temporitzador s'utilitza per generar senyals de freqüència variable la seva estructura serà senzillament la d'un sintetitzador de freqüències. Una altra utilitat dels temporitzadors és la de generar senyals amb un cicle de treball variable. En aquest cas el temporitzador s'anomena habitualment un modulador d'amplada de polsos (PWM - Pulse Width Modulator).

L'esquema mostrat a la imatge correspon a l'estructura bàsica d'un PWM. El senyal d'habilitació generat per un sintetitzador de freqüències es fa servir com a entrada de SET d'un biestable RS, la sortida del qual s'utilitza al seu temps com a entrada d'habilitació d'un subsistema d'escalat de freqüències. Per tant, es pot deduir fàcilment que la relació entre el senyal *amplada* d'aquest subsistema d'escalat i el senyal *escala* d'entrada al sintetitzador de freqüències permetrà obtenir finalment un senyal de sortida, *pwm_out* amb un cicle de treball variable.

• Watchdogs:

- Used to generate initialisation signals (reset) to avoid a system to get stuck in a state
- **Option 1:** Frequency synthesiser controlled by the reset signal
- **Option 2:** Frequency synthesiser with programmable count



3.1. Components of a communications system

Una altra utilitat dels sintetitzadors de freqüència consisteix en la construcció de watchdogs. Un watchdog és un subsistema utilitzat habitualment dins d'un microprocessador o microcontrolador. La funció d'aquest subsistema és la de generar un senyal de reset global del microprocessador amb un cert interval de temps si abans el microprocessador no ha inicialitzat aquest subsistema. Aquest subsistema té per tant la funció d'evitar que el microprocessador es quedi estancat a un determinat estat com a conseqüència de l'execució del seu programa o bé com a conseqüència de qualsevol interferència externa.

El microprocessador pot realitzar la inicialització del sistema watchdog de dues formes. La primera consisteix en activar el senyal de reset sincron del watchdog. La segona, que es mostra a la part inferior de la imatge, consisteix en escriure, activant el senyal **load**, un valor al senyal **amplada**, dins d'un comptador descendent que està habilitat pel senyal generat per un sintetitzador de freqüències. Per tant, aquest comptador descendent generarà un senyal de reset pel microprocessador si durant un nombre de cicles de rellotge igual a $\text{amplada}+1$ no s'ha tornat a escriure un altre valor al comptador.

• Problems of the frequency division:

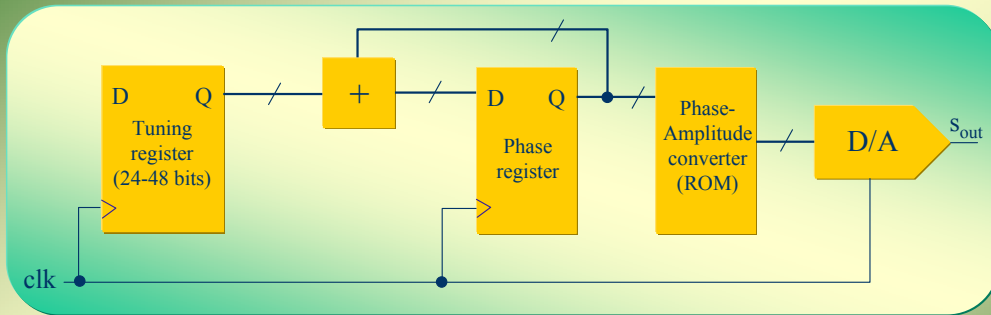
- The phase can not be modified (the phase of the generated signal is the same as the reference clock)
- High frequency resolution implies long division chains (counters) ⇒ Possible clock skew problems



Direct Digital Synthesis (DDS)

A la transparència es mostren els inconvenients principals de la síntesi de freqüències basada en divisors. Aquests inconvenients fan que per determinades aplicacions sigui més útil la síntesi digital directa de freqüències.

• Principle of the direct digital synthesis:



$$f_{out} = \frac{M \cdot f_{clk}}{2^n}$$

- M: Value in the tuning register
- n: Number of bits used in the phase-amplitude converter

3.1. Components of a communications system

La part superior de la imatge mostra l'estructura bàsica d'un sistema capaç de dur a terme la síntesi digital directa de freqüències. El sistema està basat en el que s'anomena registre de sintonia. Aquest registre s'inicialitza a un valor, el qual es va acumulant cada cicle de rellotge del sistema sobre un registre anomenat registre de fase. La sortida d'aquest registre s'utilitza com a entrada d'adreces d'una memòria, la qual contindrà la forma d'ona que es desitja generar. Per aquest motiu aquesta memòria s'anomena normalment convertidor de fase a amplitud. La sortida d'aquesta memòria s'utilitza finalment com a entrada d'un convertidor digital-analògic, el qual proporcionarà el senyal sintetitzat. A la part inferior de la imatge es mostra la relació de la freqüència del senyal de sortida, f_{out} , amb la freqüència del senyal de rellotge del sistema, f_{clk} , el valor inicial al registre de sintonia i el nombre de bits d'adreces de la memòria utilitzada.

• Advantages of the direct digital synthesis:

- Possibility of generating signals with different phases (second tuning register)
- Permits to generate signals with I and Q components ⇒ Facilitates the generation of digital modulations (FSK, QPSK, QAM)

• Drawbacks of the direct digital synthesis:

- Need of an anti-aliasing filter at the output of the DAC

3.1. Components of a communications system

Cal tenir present quan s'utilitza la tècnica de síntesi digital directa que a la sortida del convertidor digital-analògic és necessari situar un filtre passa baixos que actuarà com a filtre anti-aliasing. La necessitat d'aquest filtre és deguda a que el senyal a l'entrada del convertidor és discret, i per tant l'ample de banda del senyal generat pel convertidor s'ha de limitar, doncs en cas contrari apareixeran harmònics corresponents la quantització del senyal.

3.2. Signaling

Process in charge of translating a sequence of data into a Sequence of symbols with a given temporal ordering

- **Types:**

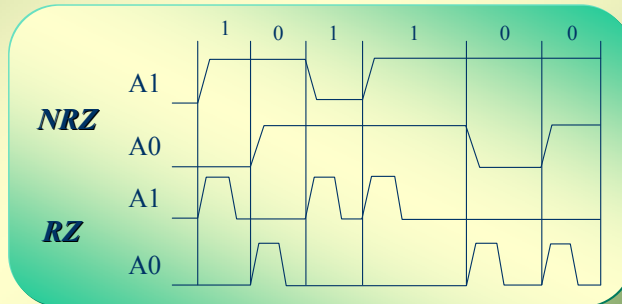
- **RZ** (Return to Zero) vs **NRZ** (No Return to Zero): With the RZ signaling the signal has to come back to the zero logic level after every transition

- More transitions than with NRZ signaling
- Useful if there is power dissipation when the line is at a high level
- Easy decoding

És important tenir present que, per optimitzar l'ample de banda del canal de comunicació, així com per augmentar la fiabilitat del procés de comunicació, les dades a transmetre s'han de convertir a símbols abans de traduir-se als nivells de tensió que seran presents al canal. Aquest procés de traducció és el que s'anomena habitualment senyalització.

• Dual-Rail signaling:

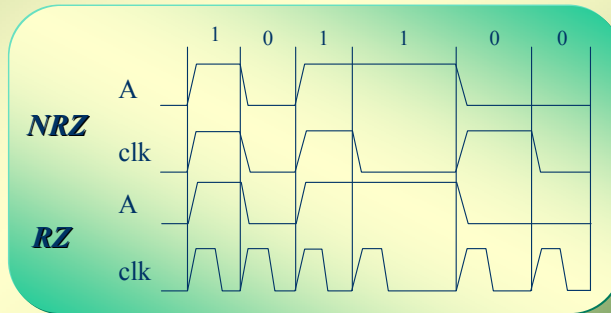
- Changes in the two lines imply the occurrence of a transition in the symbol
- The type of transition depends on the line carrying the change



A la senyalització dual-rail es fan servir dues línies per indicar l'aparició d'una transició al canal de comunicació. El tipus de transició dependrà de la línia que s'hagi activat. A la part inferior de la imatge es mostra un exemple d'aquesta senyalització corresponent a la transmissió de la seqüència "101100", amb les modalitats NRZ i RZ.

• Signaling with clock:

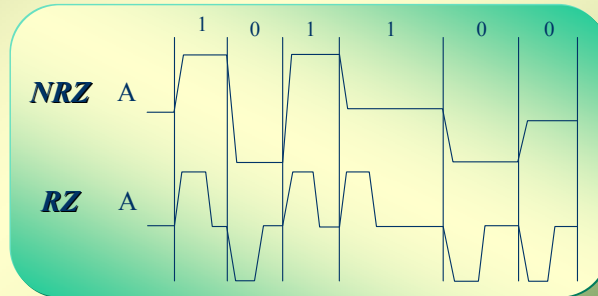
- The changes in the clock line imply the presence of a new symbol in the data line
- The skew between the clock and data lines has to remain low in order to permit a correct data recovery



El principal inconvenient de la senyalització amb rellotge és degut a que els retards a la línia de dades i de rellotge han d'estar perfectament equalitzats per garantir una correcta recuperació de les dades.

• Ternary signaling:

- Middle level (there is no change in the symbol), change to the highest level (symbol 1), change to the lowest level (symbol 0)
- Transitions may have different durations (change between different voltage levels)



L'inconvenient principal de la senyalització ternària és degut al fet que les durades de les transicions poden ser diferents, degut a que aquestes tenen lloc entre nivells de tensió que no sempre són iguals.