

# **Adaptació de la Guia de l'Usuari del $\mu$ PD70320(V25) de NEC**

*(confeccionat per a les pràctiques de Laboratori  
d'Electrònica II i de CISE IV de l'ETSETB)*

**Departament d'Enginyeria Electrònica**

**Clemente Pol  
Jordi Roig  
Manuel Domínguez**

## Consideració prèvia

Totes les dades d'aquests fulls han estat extretes de la més àmplia informació del fabricant NEC: *V25/V35 Family, V-Series, 16-bit Microcomputers User's Manual*. Còpies d'aquest Manual es troben depositades en la Biblioteca Rector Gabriel Ferrater i en els laboratoris d'Electrònica LE IB i LE II de l'ETSETB, al Campus Nord de l'UPC de Barcelona.

## ÍNDIX GENERAL

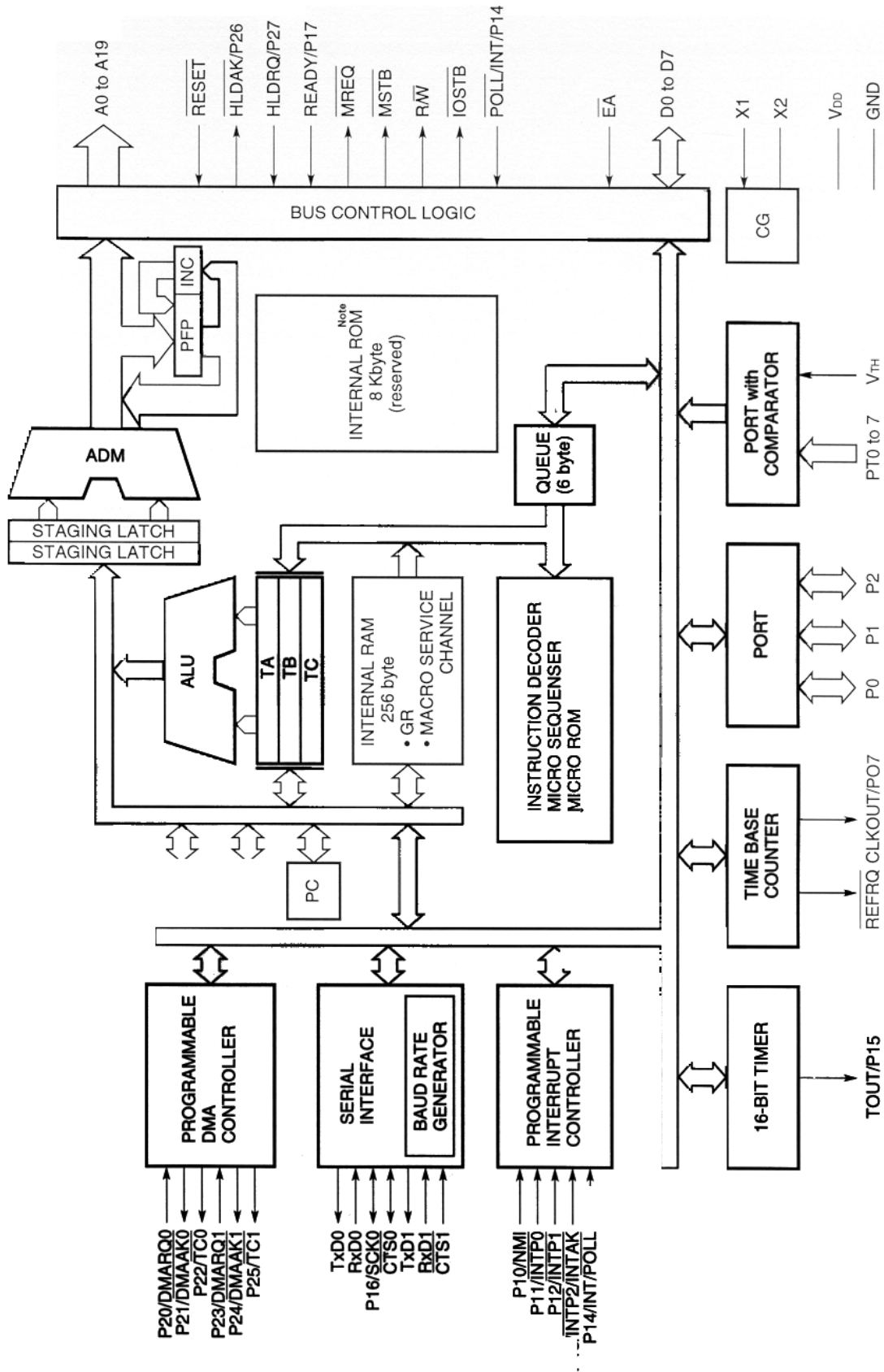
1.	Característiques principals. ....	3
2.	Arquitectura interna: esquema de blocs i interfície amb l'exterior. ....	4
3.	Model de programació .....	5
3.1	Registres de propòsit general.	
3.1.1	Registres genèrics (A, B, C, D).	
3.1.2	Registres específics (PC, SP, BP, IX, IY, PSW, IDB, de segment).	
3.2	Registres amb funció especial (ports, temporitzadors, d'interrupcions).	
4.	Ports de tipus paral·lel .....	8
4.1	Ports P0, P1, P2	
4.2	Port PT	
5.	Control i prioritat de les interrupcions .....	11
6.	Generador de rellotge i Base de Temps. ....	11
6.1	Configuració (Registre de Control del Processador, PRC).	
6.2	Comptador de la Base de Temps i registre de control d'interrupcions TBIC.	
7.	Els temporitzadors .....	13
7.1	Temporitzador 0 i registre de control TMC0.	
7.2	Temporitzador 1 i registre de control TMC1.	
7.3	Registres d'interrupcions dels temporitzadors.	
8.	Ports de tipus sèrie .....	19
8.1	Mode asíncron	
8.1.1	Transmissió asíncrona	
8.1.2	Recepció asíncrona	
8.2	Mode d'interfície d'E/S (Mode síncron) .....	22
8.2.1	Transmissió síncrona	
8.2.2	Recepció síncrona	
8.3	Generador de bauds	
8.4	Registre d'interrupció per als ports sèrie	
9.	Connexió sèrie RS-232 entre el PC i la placa del V25 .....	25

# 1. Característiques principals

El  $\mu$ PD70320L-8 de la família V25 de NEC (al qual, d'ara endavant, anomenarem senzillament **V25**) és un microcomputador (microcontrolador) que presenta les següents característiques:

- Arquitectura interna de 16 bits, però amb un bus de dades exterior de 8 bits.
- "Quasi" totalment compatible amb la família Intel 8088/86 des del punt de vista de registres i d'instruccions.
- Sistema de tres etapes de *pipelining* al processat d'instruccions.
- Mínim cicle d'instrucció de 400ns (amb rellotge exterior de 10 MHz), o de 250ns (amb 16 MHz).
- RAM interna de 256 *bytes* desactivable.
- 1 *Mbyte* de mapa de memòria adreçable (20 bits de bus d'adreces).
- 8 bancs de registres mapejats en memòria.
- Circuits per a interfície amb perifèrics al mateix xip (Registres amb Funció Especial).
- Port d'entrada de 8 bits amb entrada per comparador i nivell programable de comparació (PT).
- Línies d'E/S: 4 bits d'entrada i 20 bits d'E/S distribuïts en 3 ports de 8 bits programables (P0, P1 i P2).
- Interfície de comunicació sèrie: 2 canals (modes asíncron i d'E/S) amb generador intern de bauds.
- Controlador d'interrupcions amb 8 nivells de prioritat programables i 3 modes de resposta a la interrupció (vectoritzat, conmutació de banc de registres, servei per Macro).
- Funció de refresc de memòria DRAM (pseudo SRAM).
- Controlador de DMA (2 canals) amb 4 modes de transferència DMA.
- Dos temporitzadors de 16 bits.
- Un Comptador Base de Temps (20 bits).
- Generador intern de senyals de rellotge.
- Funció d'estats d'espera programables.
- Funció de *standby* (instruccions STOP/HALT).

## 2. Arquitectura interna: diagrama de blocs i interfície amb l'exterior.



**Note:** Internal ROM **not** user-accessible at  $\mu$ PD70320.

### 3. Model de programació

El V25 permet un mapejat en memòria d'1 Mbyte (20 bits al Bus d'Adreces –BA–) amb el senyal de validació (*strobe*) d'adreces de memòria MREQ\* i un mapejat en E/S de 64 Kbytes (només els 16 bits "baixos" del BA) amb el senyal de validació IORQ\*. El V25 també proporciona el senyal de sortida MSTB\*, similar a l MREQ\* però amb el flanc d'activació retardat, que indica que un *byte* de sortida ja està al Bus de Dades –BD–, o sigui que es tracta d'un senyal de validació (*strobe*) de dades; aquests dos senyals es poden utilitzar per a la generació dels senyals de control RAS\* i CAS\* de la selecció i multiplexació d'adreces de les possibles memòries RAM dinàmiques del sistema.

El V25 presenta una àrea "interna" d'adreçament de dades **en memòria** –512 bytes: de xxE00H a xxFFFH–, on té mapejats tots els seus registres interns i els 256 bytes de RAM interna (xxE00H a xxFFFH). Els 8 bits "alts" de l'adreça d'aquesta àrea (xx) poden programar-se amb el registre amb funció especial IDB (*Internal Data area Base register*) que s'inicialitza amb un contingut FFH després d'un *Reset* —i, per tant, en la connexió a l'alimentació (*Power-on-Reset*)— i es troba en l'adreça xxFFFH que és l'última posició de l'àrea interna de dades. Aquest registre IDB permet recol·locar tota l'àrea interna de dades en intervals de 4Kbytes dintre del banc de memòria en què es vulgui treballar (en les pràctiques **el registre IDB sempre es mantindrà amb el contingut FFH** i, per tant, el *byte* "alt" xx de les adreces de registres d'aquest apartat ha d'entendre's com FF).

La RAM interna es pot desactivar, com memòria amb code de programa, posant a 0 el bit 6 (RAMEN) del registre amb funció especial PRC (veure apartat 6.1). **Així es farà a les pràctiques ja que sempre** utilitzarem la SRAM externa de la placa, ja sigui per carregar i depurar — mitjançant la connexió amb un PC — els programes d'aplicació en fase de prova, com per àrea de dades necessària per executar els programes definitius en la EPROM de la placa ( sistema autònom o *embedded*). Quan la RAM interna queda desactivada, només es pot accedir a ella adreçant-se al registres de propòsit general que conté i que es tracten a continuació.

#### 3.1 Registres de propòsit general

Són compatibles amb els 8088/8086 i, encara que poden ser mapejats dins de la memòria RAM interna en 8 possibles **bancs de registres** per a operacions especials com els serveis d'interruptió per conmutació de bancs de registres, servei macro i transferències DMA (operacions especials que **no** es tracten en aquesta informació bàsica sobre el V25 i que **no** s'utilitzaran en les pràctiques), normalment la CPU els col·loca al banc 7 de registres: xxEE0H a xxFFFH.

##### 3.1.1 Registres genèrics

Són 4 registres de 16 bits (A, B, C, D) que es poden tractar indistintament com 8 registres de 8 bits (AH, AL, BH, BL, CH, CL, DH, DL). Són utilitzats per moltes instruccions del V25 tant per a transferència de dades com per a operacions aritmètiques i lògiques. També s'utilitzen com registre per defecte en el processat d'algunes instruccions específiques: multiplicació/divisió, entrada/sortida, conversió de dades,...

Aquests registres són mapejats d'inici pel V25 a l'àrea interna de dades (dins de la RAM interna) en les posicions xxEF8H fins a xxFFFH.

### 3.1.2 Registres específics

Com que el V25 opera amb adreçament **segmentat**, com els processadors 8088/8086 d'Intel, disposarà de registres (de **16 bits**) específics de segment i de desplaçament (*offset*), per a la manipulació d'adreces,. L'adreça **física** real vindrà donada per la suma del segment multiplicat per 16 (desplaçament a l'esquerra d'un dígit hexadecimal posant-hi un zero com dígit més baix) més el desplaçament.

Així, del compte de *bytes* de les instruccions del programa s'encarreguen el registre **Segment de Programa** (PS) i el registre de desplaçament **Comptador de Programa** (PC), de la manipulació de la Pila (*Stack*) s'encarreguen el registre **Segment de Pila** (SS) i el de desplaçament **Punter de Pila** (SP), i per a les dades disposa de 2 registres de **Segment de Dades** (DS0 i DS1). Per tal d'atendre als diferents tipus d'adreçament que donen potencialitat a les instruccions del V25 es disposa de registres **punters** del tipus **Base** (BP) i del tipus **Índex** (IX, IY). Finalment, per tal de possibilitar el control del processador i la presa de decisions del programador segons els resultats de certes operacions, es té el **registre d'estat** (PSW: *Program Status Word*) amb 6 bits indicadors (*flags*) d'estat, 6 de control i 2 d'usuari.

Com que, després d'un *Reset*, el PS s'inicialitza a FFFFH i el PC a 0000H, **l'adreça d'inicialització del BA** després d'un *Reset* és la FFFF0H, a partir de la qual el V25 espera llegir l'adreça d'inici del programa que es vol executar (el que s'anomena vector de *Reset*, que sempre ha de ser el mateix i per tant exigeix memòria de tipus no volàtil –EPROM– en aquestes posicions). Els altres registres de segment s'inicialitzen a 0000H.

Tots aquests registres d'ús específic són mapejats d'inici pel V25 a l'àrea interna de dades (dins de la RAM interna) en les posicions xxEE2H fins a xxEF7H (just abans dels registres d'ús general).

### 3.2 Registres amb funció especial

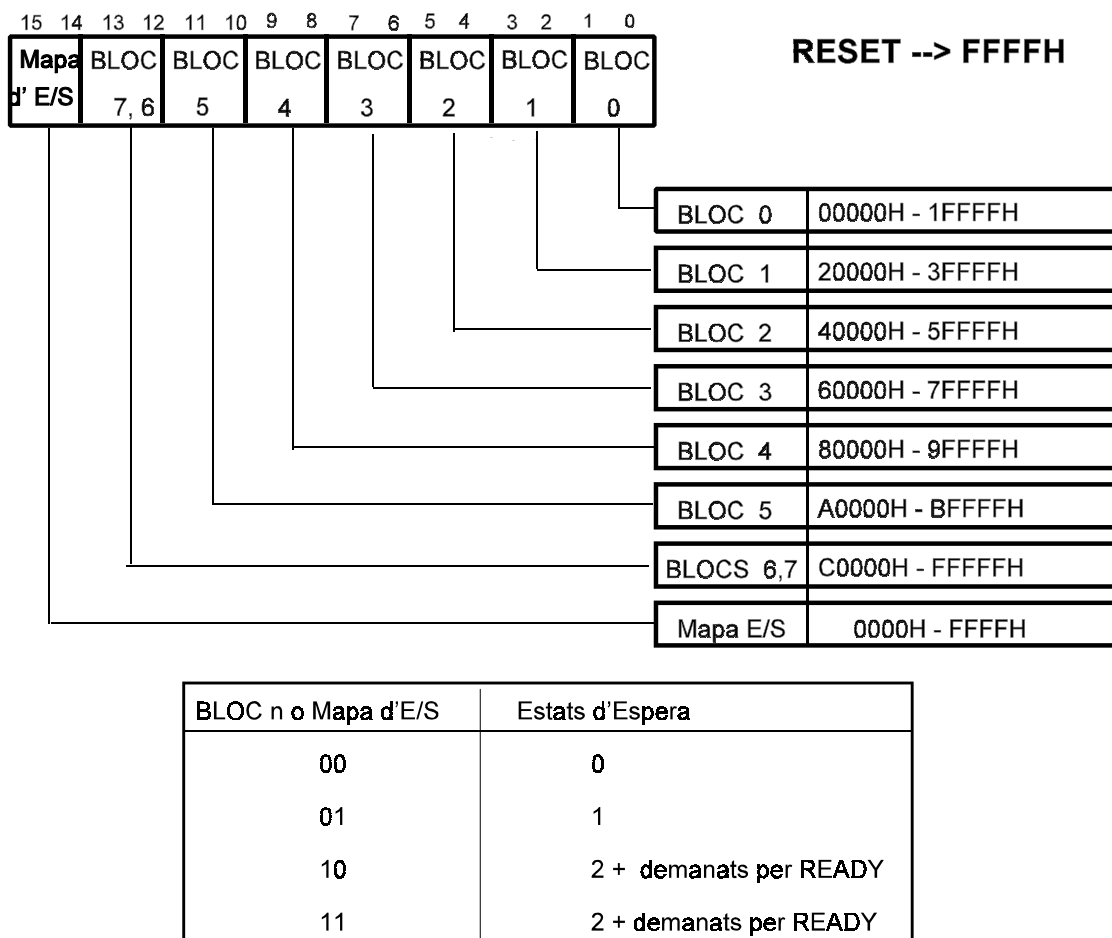
Com microcontrolador (o microcomputador) que és, el V25 disposa, al seu mateix xip (*on-chip*), de circuiteria d'interfície amb perifèrics d'E/S de la qual no disposaven els microprocessadors clàssics més antics. Així tenim una base de temps i 2 temporitzadors, 4 ports paral·lel de 8 bits, 2 canals de transmissió sèrie, controlador de interrupcions, controlador de 2 canals de DMA...

Per tal de controlar per programació aquest circuits, el V25 conté uns registres de dades, de control i d'interrupció que, anomenats registres amb funció especial pel fabricant, són mapejats d'inici pel V25 a l'àrea interna de dades en les posicions xxF00H fins a xxFFFH (just després de la RAM interna i dels registres de propòsit general).

Els següents apartats d'aquesta informació tracten de l'estructura i programació de la part d'aquests registres que més interessin a les pràctiques de CISE IV i de Lab. d'Electrònica II. A més, per tal de facilitar la seva programació en llenguatge C sense haver d'explicitar l'adreça numèrica dels registres que cal utilitzar, es subministra el fitxer de suport REGISTER.H que assigna els "noms" de fabricant d'aquests registres a les seves adreces numèriques.

En aquest apartat només citarem dos d'aquests registres:

1. el **registre Base de l'àrea Interna de Datos IDB** (*Internal Data area Base register*), la programació del qual ens permetria traslladar tota l'àrea interna d'adreçament del V25, però que deixarem normalment al seu valor d'inicialització després d'un *Reset* (FFH).
2. el **registre de Control d'estats d'Espera** (WTC: *Wait Control register*) que ens permet programar 0, 1, o 2 períodes d'espera ( $T_w = T_{CLK}$ ) internament per a un mapa de memòria dividit en 8 blocs (7 realment) i per al mapa d'E/S com a un sol bloc, tal com es mostra a la figura 3.1.



**Fig. 3.1** Registre WTC

Així, aquest registre **s'inicialitza amb 2 estats d'espera** ( $2 T_w$ ) entre els 2 cicles de rellotge ( $T_1$  i  $T_2$ ), que presenta el V25 als seus cicles bàsics de lectura/escriptura i valida la línia d'entrada READY per poder demanar més períodes d'espera.

## 4. Ports de tipus paral·lel

El V25 disposa de quatre ports de 8 bits cadascun: Els ports P0, P1, P2 i el port PT. Els 3 primers poden utilitzar-se com ports programables d'entrada o de sortida bit a bit, o com senyals de control específics del V25. El PT és un port especial només d'entrada amb un nivell de tensió de comparació programable per tal de convertir 8 senyals d'entrada de forma "indefinida", en 8 entrades digitals estàndar.

### 4.1 Ports P0, P1, P2

Són tres ports bidireccionals (tret de 4 bits del P1 que només poden ser entrades de petició d'interrupció) amb control de tipus tres estats per tal de seleccionar la línia interna d'entrada o de sortida de que es tracti en cada cas. Es poden configurar com ports d'entrada o de sortida programable bit a bit, o com senyals de control específics del V25. Cada port està constituït per 3 registres:

- **P0, P1, P2** : Registres de Dades ( bits d'entrada o sortida que s'hauran de llegir o escriure )
- **PMC0, PMC1, PMC2** : Registres de control de mode port/control. ( *Reset* → 00H )
- **PM0, PM1, PM2** : Registres de mode entrada/sortida ( *Reset* → FFH )

A les taules de la pàgina següent s'especifica com ha de programar-se, mitjançant una operació d'escriptura, el contingut dels registres de control i de mode per tal de configurar les línies (bits) dels registres de dades. L'**asterisc** que figura a la dreta del nom d'alguns senyals d'entrada/sortida (tant en aquestes taules com a la resta del document) indica que s'activen a **nivell baix**.

A continuació es comenta la funció dels senyals de control del V25 que comparteixen *pins* amb els ports P0 i P1 quan no són programats al mode port. La resta de senyals, que comparteixen els *pins* amb el P3, són controls de les operacions d'Accés Directe a Memòria (DMA) dels 2 canals que incorpora el V25.

- **CLKOUT/P07** : Sortida del senyal de rellotge intern  $f_{CLK}$  (apartat 6).
- **NMI/P10** : Entrada d'interrupció no emmascarable, de màxima prioritat i autovectoritzada. Es detecta per flanc programable. L'apartat 5 tracta les particularitats de les interrupcions.
- **INTP0\*/P11, INTP1\*/P12, INTP2\*/P13** : Entrades d'interrupcions emmascarables per programació i autovectoritzades. Es detecten per flanc programable.
- **INTAK\*/P13** : Sortida que es posa a nivell baix quan es reconeix una interrupció INT.
- **INT/P14** : Entrada d'interrupció emmascarable per programació i vectoritzada. Es detecta a nivell alt.
- **POLL\*/P14** : Entrada que és consultada per la instrucció POLL. Si és baixa, s'executa la següent instrucció. Si és alta, l'entrada es torna a consultar cada 5 cicles de rellotge fins que es posa a nivell baix. Aquesta funció s'utilitza per tal de sincronitzar el programa amb equips exteriors.
- **TOUT/P15** : Sortida del Temporitzador 0 (apartat 7).
- **SCK0\*/P16** : Sortida del rellotge de transmissió per a l'interfície sèrie (canal 0).Queda a nivell alt quan no es transmet cap dada.
- **READY/P17** : Entrada per demanar estats d'espera addicionals als 2 que es pot afegir per programa.



<b>Configuració del <i>PORT 0</i></b> <span style="float: right;"><b>(n = 0...7; bits de registre)</b></span>				
	<b>PMC0n = 1</b>		<b>PMC0n = 0 (mode port)</b>	
	<b>PM00-6 = 0</b>	<b>PM07 = 1</b>	<b>PM0n = 1</b>	<b>PM0n = 0</b>
<b>P00</b>	/		Port d'entrada	Port de sortida
<b>P01</b>			Port d'entrada	Port de sortida
<b>P02</b>			Port d'entrada	Port de sortida
<b>P03</b>			Port d'entrada	Port de sortida
<b>P04</b>			Port d'entrada	Port de sortida
<b>P05</b>			Port d'entrada	Port de sortida
<b>P06</b>			Port d'entrada	Port de sortida
<b>P07</b>	sortida CLKOUT		Port d'entrada	Port de sortida

<b>Configuració del <i>PORT 1</i></b> <span style="float: right;"><b>(n = 0...7; bits de registre)</b></span>				
	<b>PMC1n = 1 (mode control)</b>	<b>PMC1n = 0 (mode port)</b>		
		<b>PM1n = 1</b>	<b>PM1n = 0</b>	
<b>P10</b>	/		entrada NMI	/
<b>P11</b>			entrada INIP0*	
<b>P12</b>			entrada INIP1*	
<b>P13</b>	sortida INTAK*	entrada INIP2*		
<b>P14</b>	entrada INT	Port d'entrada (ent. POLL*)	Port de sortida	
<b>P15</b>	sortida TOUT	Port d'entrada	Port de sortida	
<b>P16</b>	sortida SCK0*	Port d'entrada	Port de sortida	
<b>P17</b>	entrada READY	Port d'entrada	Port de sortida	

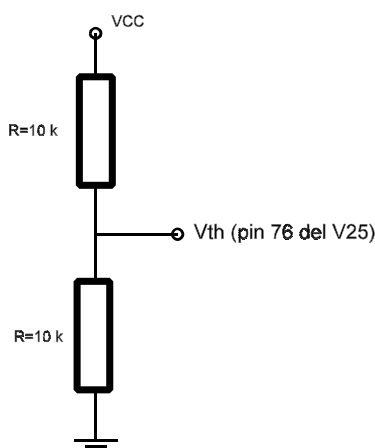
<b>Configuració del <i>PORT 2</i></b> <span style="float: right;"><b>(n = 0...7; bits de registre)</b></span>			
	<b>PMC2n = 1 (mode control)</b>	<b>PMC2n = 0 (mode port)</b>	
		<b>PM2n = 1</b>	<b>PM2n = 0</b>
<b>P20</b>	entrada DMARQ0	Port d'entrada	Port de sortida
<b>P21</b>	entrada DMAAK0*	Port d'entrada	Port de sortida
<b>P22</b>	sortida TC0*	Port d'entrada	Port de sortida
<b>P23</b>	entrada DMARQ1	Port d'entrada	Port de sortida
<b>P24</b>	sortida DMAAK1*	Port d'entrada	Port de sortida
<b>P25</b>	sortida TC1*	Port d'entrada	Port de sortida
<b>P26</b>	sortida HLDKAK*	Port d'entrada	Port de sortida
<b>P27</b>	entrada HLDRQ	Port d'entrada	Port de sortida

## 4.2 Port PT

Aquest port és internament un port digital de 8 bits d'entrada (Registre de Dades) connectats a la sortida de 8 comparadors. Les entrades positives (no inversores) de cada comparador són les 8 línies exteriors d'entrada que presenta aquest port (PT0 - PT7). A les entrades negatives (inversores) hi ha connectada una tensió de referència ( $V_{ref}$ ) que es pot variar per programació del contingut d'un altre registre (PMT). Així doncs, el port PT disposa de dos registres:

- **PT** : Registre de dades ( Bits d'entrada a llegir )
- **PMT** : Registre de mode del PT ( *Reset*  $\rightarrow$  00H )

Quan es fa un *Reset*, el registre PMT es carrega amb 00H i la tensió  $V_{ref}$  s'igual a la tensió  $V_{TH}$  que està connectada al *pin* 76 del V25. Aquesta tensió de referència s'obté (en la placa de pràctiques) mitjançant un divisor de tensió (figura 4.1) amb dues resistències iguals; per tant, després d'un *Reset* o programant el PMT a 00H, tindrem que el nivell llindar (que discriminarà els "0" dels "1") de tensions d'entrada del port PT serà  $V_{ref} = V_{TH} = V_{cc}/2 = 2,5 \text{ V}$ .



**Fig. 4.1** Obtenció de  $V_{TH}$

Amb les variacions dels 4 bits baixos del registre PMT (01H a 0FH) podem programar la referència  $V_{ref}$  des de  $V_{th}/16$  a  $15 \cdot V_{TH}/16$  respectivament (sempre amb  $V_{TH} = V_{cc}/2 = 2,5 \text{ V}$  en la placa de pràctiques).

## 5. Control i prioritat de les interrupcions.

El V25 disposa de 17 fonts d'interrupció (5 externes i 12 internes). Estan dividides en 8 grups. S'hi pot programar el nivell de prioritat de 0 a 7 en cinc d'aquests grups. Als altres tres grups (NMI, INT i BASE TIME) el nivell de prioritat és fix. La prioritat més alta és el nivell 0.

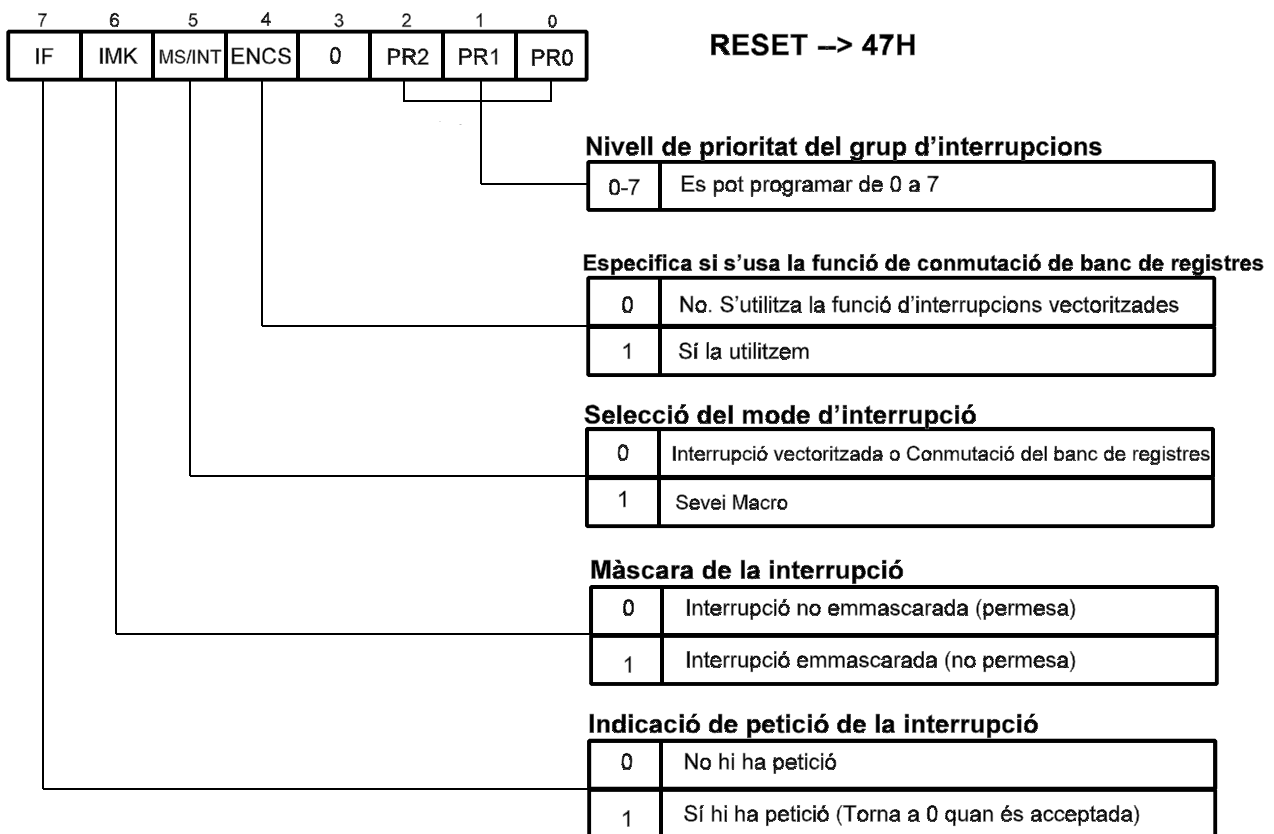
La interrupció NMI no té cap registre de control d'interrupcions i no és emmascarable. La interrupció INT tampoc no té cap registre d'interrupció associat, però sí que es pot emmascarar (instrucció DI), tot permetent la interrupció amb la instrucció EI; es detecta per nivell alt. En la taula següent podem veure les especificacions de les diferents interrupcions.

<b>Llista d'interrupcions</b>						
<b>Grup</b>	<b>Registre d'interrupció</b>	<b>Externa o interna</b>	<b>Vector núm (decimal)</b>	<b>Nivell de prioritat</b>		
				<b>Es pot canviar?</b>	<b>Entre grups</b>	<b>En el grup</b>
NMI	No en té	Externa	2	NO	0	-
INT	No en té	Externa	Pel BD (32 a 255)	NO	7	-
TIMER	TMICO	Interna	28	SI	1	1
	TMIC1		29			2
	TMIC2		30			3
DMA	DICO	Interna	20	SI	2	1
	DIC1		21			2
INTP0 INTP1 INTP2	EXIC0	Externa	24	SI	3	1
	EXIC1		25			2
	EXIC2		26			3
PORT SÈRIE 0	SEIC0	Interna	12	SI	4	1
	SRICO		13			2
	STICO		14			3
PORT SÈRIE 1	SEIC1	Interna	16	SI	5	1
	SRIC1		17			2
	STIC1		18			3
BASE DE TEMPS	TBIC	Interna	31	NO	6	-

A les interrupcions amb mode de resposta vectoritzat, que són les úniques que tractem aquí, el V25 té assignats automàticament uns números de vector determinats ("autovectorizades" o "automàtiques") per a cada una d'elles tret de les que es demanen per l'entrada INT, el número de vector de la qual (entre 32 i 255)

ha de ser subministrat al Bus de Dades (BD) pel dispositiu que l'ha demanada. Aquests números de vector, multiplicats internament per 4, determina les adreces de memòria on el V25 llegirà l'adreça inicial de la RSI (Rutina de Servei d'Interrupció) corresponent per tal d'executar-la.

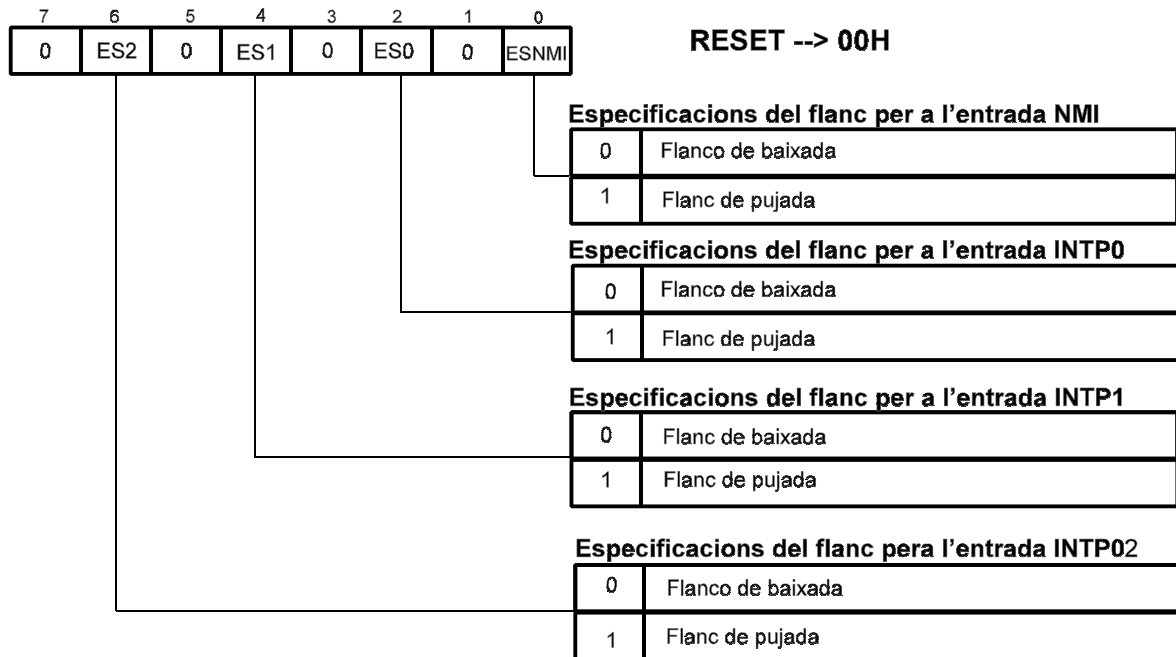
A la **figura 5.1** es mostra la programació del Registre de Control de Petició d'Interrupcions (tret de la NMI i la INT). **Aquest format d'informació servirà també per programar tots els registres d'interrupcions dels dispositius dels següents apartats** (base de temps, temporitzadors 0 i 1, interfície sèrie) i per això es referenciarà aquesta figura en aquests apartats.



**Fig. 5.1** Registre de control de les interrupcions

Per tant, per **habilitar** una interrupció només caldrà posar el bit 6 de màscara a "0", deixant la resta de bits tal com les fixa el microcontrolador després d'un *Reset*.

Les interrupcions NMI, INTP0, INTP1 i INTP2 són externes i es detecten per flanc. Amb el registre INTM es pot programar el flanc actiu com el de pujada o el de baixada, com s'indica en la figura 5.2 .



**Fig. 5.2** Registre de mode d'interrupció externa INTM

Per a les entrades externes INTP0, INTP1, INTP2 hi ha un **registre d'interrupció** per a cada una de elles (Grup 3 per al control de prioritat). Quan es fa un *Reset*, els tres registres es carreguen amb 47H. La informació per a la seva programació és la mateixa que a la figura 5.1.

- **INTP0 → Registre EXIC0**
- **INTP1 → Registre EXIC1**
- **INTP2 → Registre EXIC2**

7	6	5	4	3	2	1	0
EXF0	EXMK0	MS/INT	ENCS	0	PR2	PR1	PR0
EXF1	EXMK1	MS/INT	ENCS	0	1	1	1
EXF2	EXMK2	MS/INT	ENCS	0	1	1	1

## 6. Generador de rellotge i Base de Temps.

El generador de rellotge és el bloc circuital que subministra els diferents senyals de sincronisme intern del V25 i extern als circuits perifèrics. La figura 6.1 mostra el diagrama de blocs i funcions del generador de rellotge.

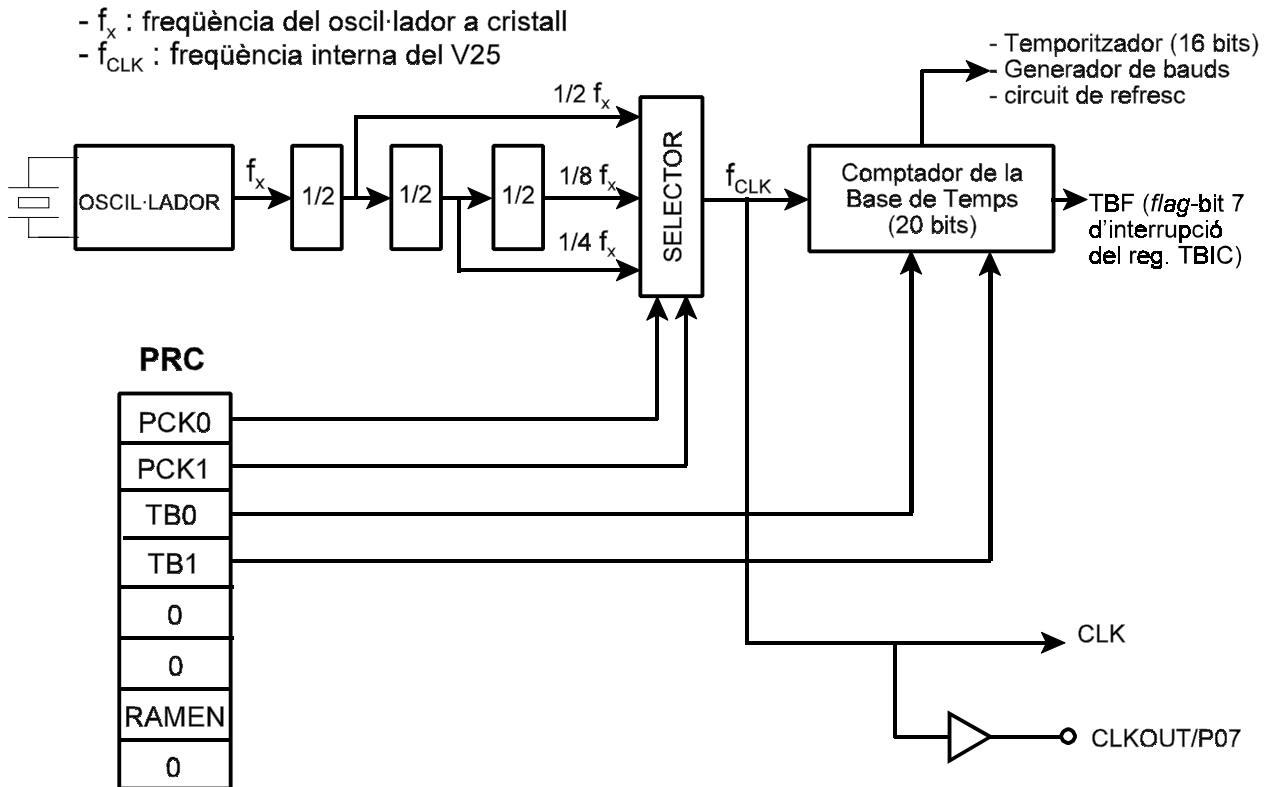


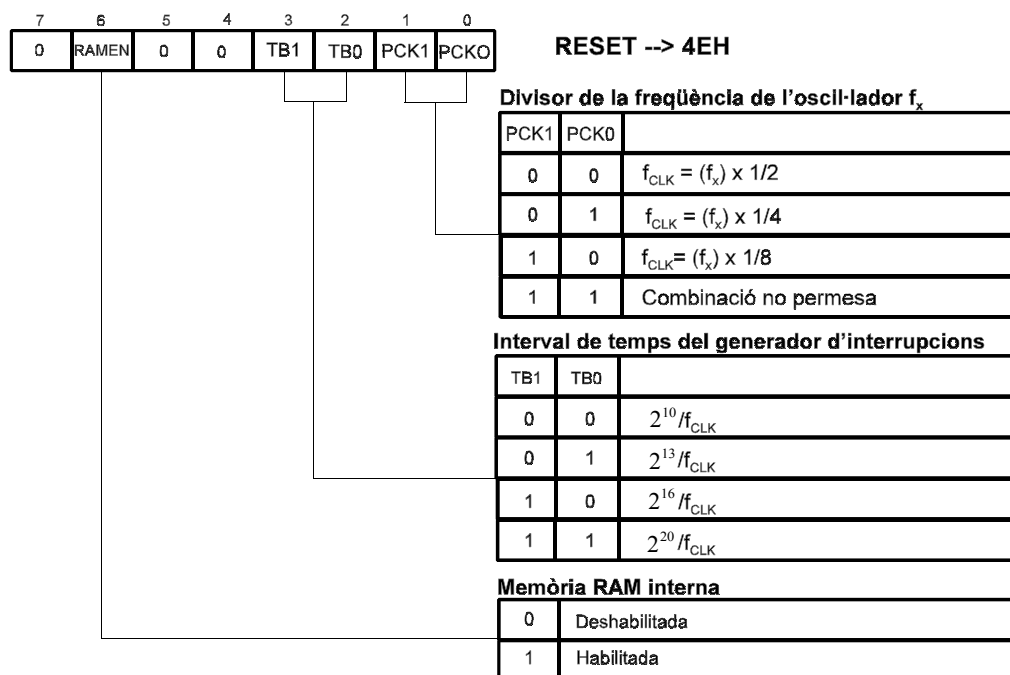
Fig. 6.1 Diagrama del generador de rellotge

### 6.1 Configuració (Registre de Control del Processador, PRC).

Per poder programar les diverses funcions del generador de rellotge i de la Base de Temps es disposa del registre PRC (*Processor Control register*). És un registre de 8 bits d'escriptura o de lectura. Amb 5 bits d'aquest registre es pot programar:

- la freqüència interna,  $f_{CLK}$ , de rellotge dels cicles de màquina (o de bus) del V25;
- l'interval de temps, de 4 possibles, entre peticions d'interrupció del comptador de la Base de Temps;
- l'habilitació, o no, de la RAM interna (256 bytes) al mapa de memòria del V25 (sempre la tenim deshabilitada a les pràctiques, ja que utilitzem la SRAM externa de la placa)

A la figura 6.2 es pot veure més clarament la programació d'aquest registre PRC.



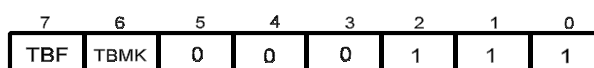
**Fig.6.2** Registre PRC

## 6.2 Comptador de la Base de Temps i registre de control TBIC.

La Base de Temps és un comptador de 20 bits que aconsegueix diverses funcions. La que ara ens interessa és la petició d'interrupció quan el seu bit 10 o el 13 o el 16 o el 20 es posa a 1 després d'haver-se incrementat, +1 per cada període de rellotge  $f_{CLK}$ , desde 00000H després d'un *Reset*. L'elecció d'un d'aquests 4 possibles intervals de temps es fa, com ja hem vist al subapartat anterior, amb els bits TB1 i TB0, del registre PRC.

Però aquesta interrupció no es demanarà si no es programa el bit de màscara corresponent que es troba al bit 6 (TBMK) del registre TBIC (*Time Base Interrupt request Control register*). D'aquesta manera podrem utilitzar la Base de Temps, així com els temporitzadors de l'apartat següent, per tal d'executar rutines que s'hauran de repetir amb una certa precisió en el temps.

### Registre TBIC



*Reset* → 47H

Amb TBMK=1 la màscara està aplicada i no es permet a la Base de Temps demanar interrupcions. El bit 7 (TBF) és un indicador (*flag*), el qual, després del interval programat, es posarà a "1" i efectuarà la petició d'interrupció. Aquesta interrupció de la Base de Temps (INTTB) té un nivell de prioritat 6 (el més baix de les interrupcions internes).

## 7. Els temporitzadors.

La unitat temporitzadora del V25 conté 2 circuits temporitzadors (*timers*), el 0 i l'1, amb alguna característiques diferenciadores

### 7.1 Temporitzador 0 i el registre TMC0.

El temporitzador 0 es pot utilitzar en dos modes diferents (mode d'interval repetitiu i mode d'interval únic). A més disposa d'una sortida exterior (TOUT/P15). Per a la seva programació i control es disposa del registre TMC0 (veure figura 7.3).

**Mode d'interval repetitiu (Interval Timer mode)** : A la figura 7.1 es pot veure l'esquema de blocs de funcionament . Disposem d'un selector entre dues freqüències, dos registres de 16 bits (MD0 i TM0) i una sortida de rellotge TOUT. Quan comença el compte, el contingut de MD0 passa a TM0 i es va decrementant a cada període del senyal de rellotge seleccionat. Cada cop que TM0 arriba a zero es produeix una petició d'interrupció (TMF0 = 1) i el contingut de MD0 ES torna a carregar en TM0 i comença un nou compte.

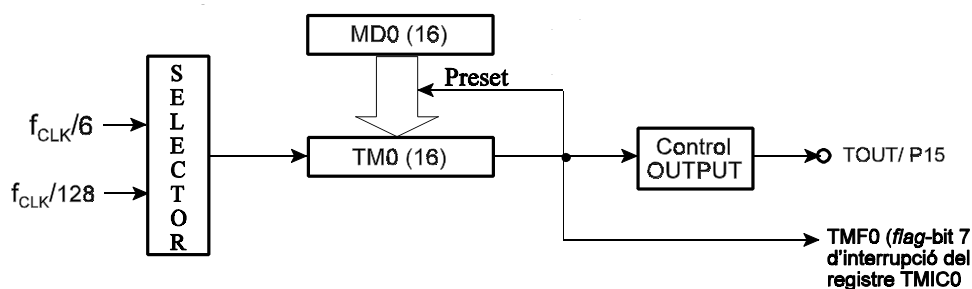


Fig. 7.1 Temporitzador 0 en mode d'interval repetitiu

**Mode d'interval únic (One-Shot timer mode)** : A la figura 7.2 es presenta el corresponent esquema.

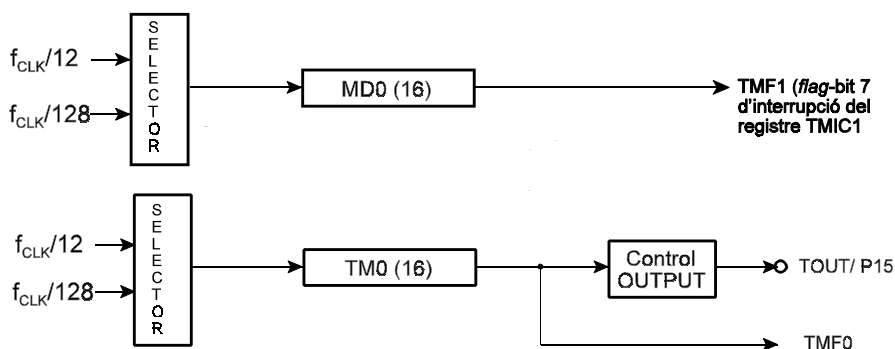


Fig. 7.2 Temporitzador 0 en mode d'interval únic

En aquest cas disposem de dos registres de 16 bits independents (MD0 i TM0) que produeixen dues interrupcions diferents. També es té la sortida TOUT pel registre TM0.



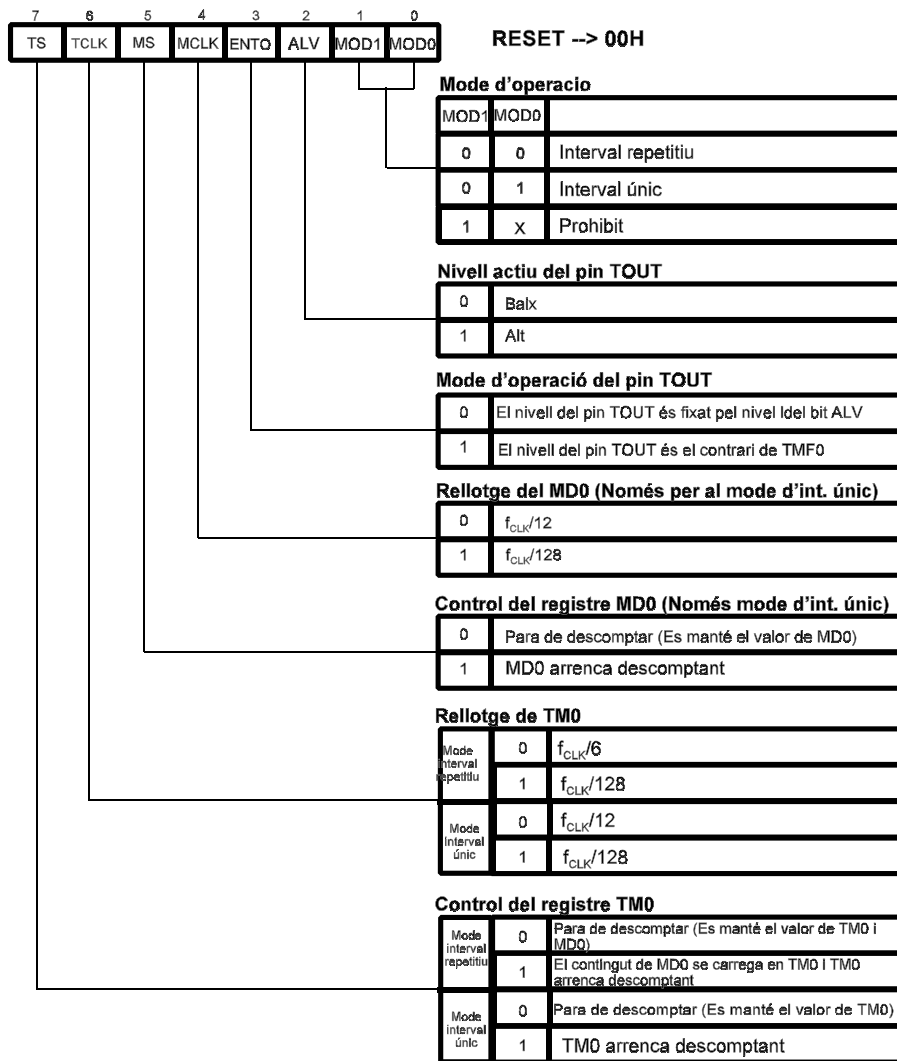


Fig. 7.3 Programació del registre TMC0

## 7.2 Temporitzador 1 i el registre TMC1.

El Temporitzador 1 **només** es pot utilitzar en mode interval repetitiu i **no** disposa de sortida TOUT. L'esquema de blocs es presenta a la figura 7.4. Per programar-lo disposem del registre TMC1 (figura 7.5).

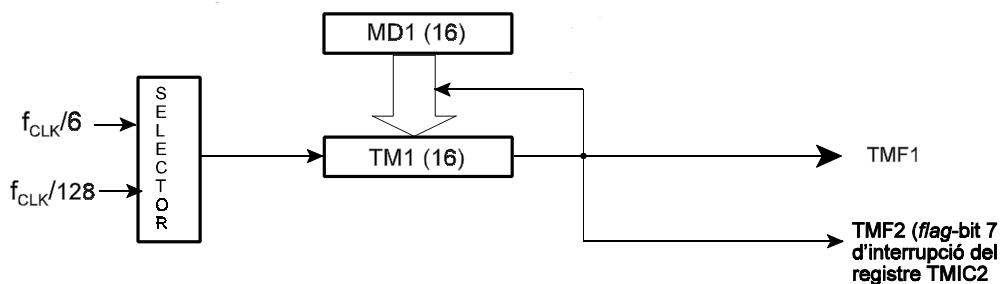
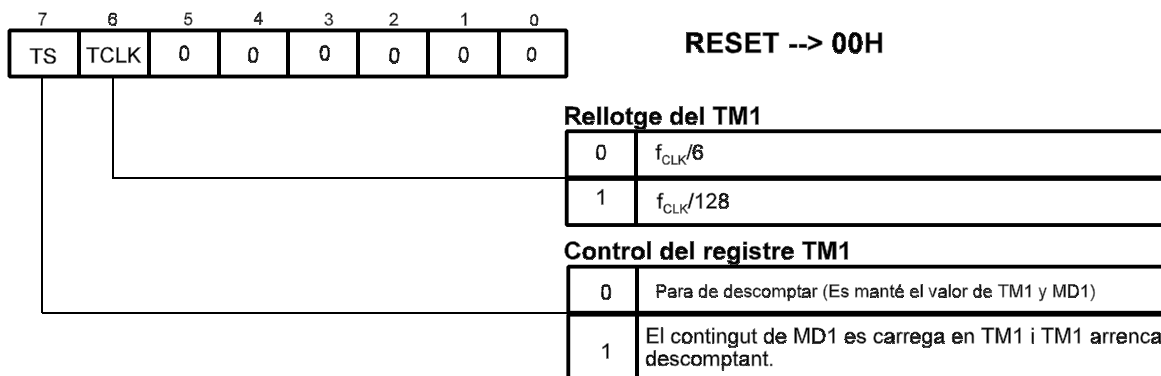


Fig. 7.4 Temporitzador 1

L'anterior diagrama és valid si els dos temporitzadors (*Timer 0* y *Timer 1*) treballen en mode d'interval repetitiu. Però si el temporitzador 0 està treballant en mode d'interval únic (figura 7.2), el temporitzador 1 només activarà la interrupció TMF2 (ja que la interrupció TMF1 estaria capturada pel *Timer 0*).



**Fig. 7.5.** Programació del registre TMC1

### 7.3 Registres d'interruptió dels Temporitzadors.

Hi ha tres registres d'interrupcions per als dos Temporitzadors. La informació necessària per programar-los es troba a l'apartat 5 (**figura 5.1**) sobre el control de les interrupcions.

- Registre d'interruptió TMIC0
- Registre d'interruptió TMIC1
- Registre d'interruptió TMIC2

7	6	5	4	3	2	1	0
TMF0	TMMK0	MS/INT	ENCS	0	PR2	PR1	PR0
TMF1	TMMK1	MS/INT	ENCS	0	1	1	1
TMF2	TMMK2	MS/INT	ENCS	0	1	1	1

*Reset* → 47H.

Noteu que els bits de major pes dels registres anteriors són els **flags** activats per les diferents fonts d'interruptió dels *Timers* (figures 7.1, 7.2 i 7.4).

També es pot veure que si es programen ambdós temporitzadors en mode d'interval repetitiu el *Timer 1* pot generar dues interrupcions al mateix temps. En aquest cas el *Timer 0* generaria la interrupció corresponent al flag TMF0 (interrupció 28, veure taula de l'apartat 5) i el *Timer 1* podria generar dues interrupcions: *flags* TMF1 i TMF2 (interrupcions 29 i 30 a la mateixa taula).

Si el *Timer 0* es programa en mode d'interval únic podrà activar els *flag* TMF0 i TMF1 (relacionats amb els registres TM0 i MD0 respectivament). El *Timer 1* podrà activar el *flag* TMF2.

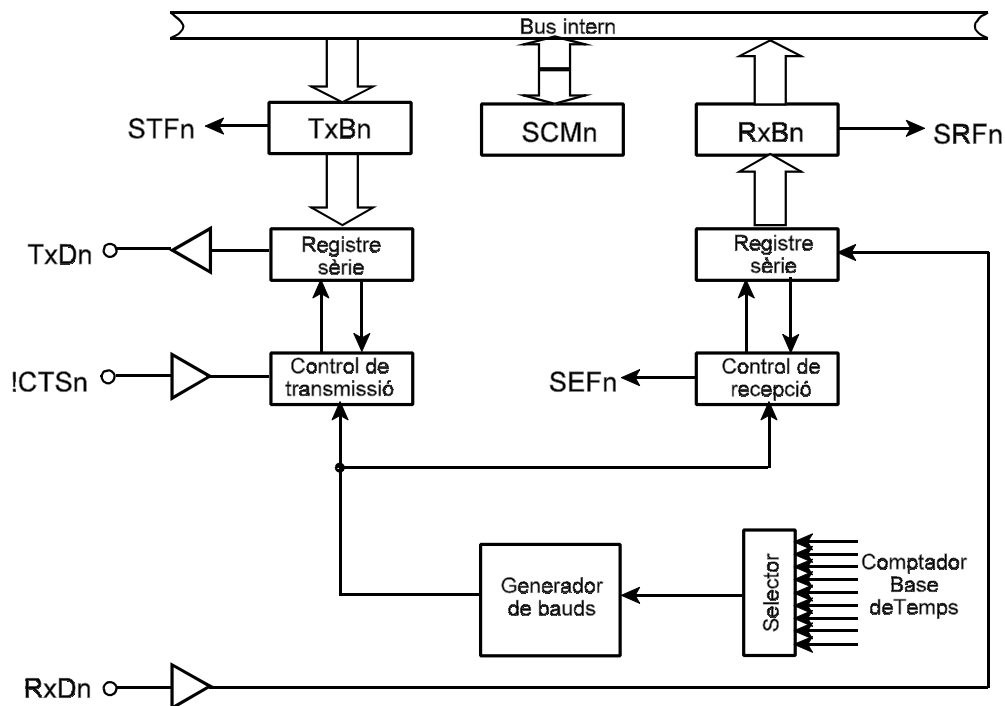
En qualsevol cas si volem habilitar qualsevol font d'interruptió (TMF0-2) caldrà posar a "0" el bit 6 (**màscara**) dels registres TMIC0-2, respectivament.

## 8. Ports de tipus sèrie.

El V25 disposa de 2 canals sèrie, amb generador de bauds dedicats, que poden treballar en dos modes d'operació: el mode asíncron (Bits de *Start*- "0" - i de *Stop* -"1"-), i el mode d'interfície d'E/S que transfereix dades en sincronisme amb un rellotge (extern o intern). Els dos modes poden operar en comunicació *full duplex*. Els bits 0 i 1 dels registres SCM0 i SCM1 (segons sigui canal sèrie 0 o 1) són els que determinen el mode de comunicació..

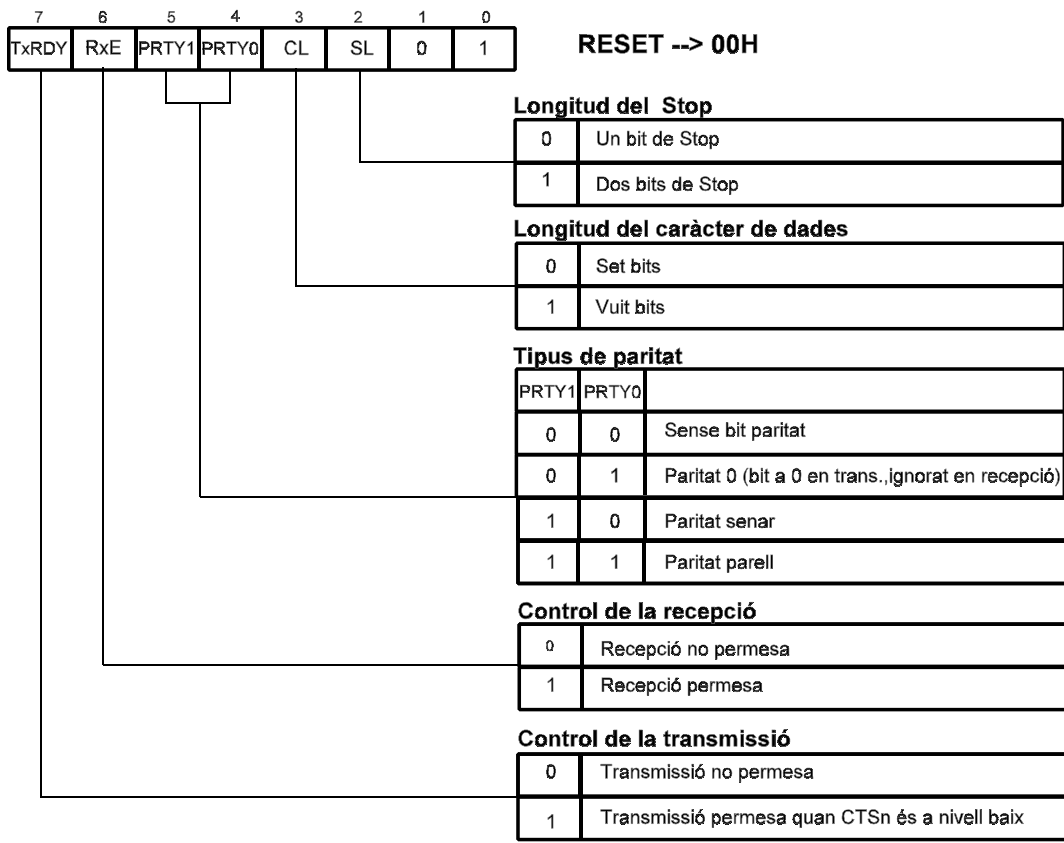
### 8.1 Mode asíncron

En la figura 8.1 es mostra l'esquema intern de funcionament per al mode asíncron. Hi ha tres senyals a l'exterior: TxDn (senyal a transmetre), RxDn (senyal a rebre) i CTSn (senyal d'entrada per al control de la transmissió). També hi ha un generador de bauds per programar la velocitat de la transmissió.

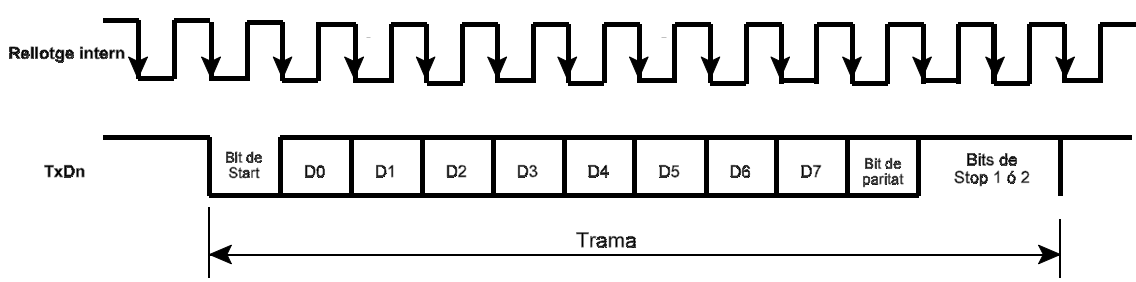


**Fig. 8.1** Esquema de funcionament en mode asíncron

En aquest mode el format d'una dada completa a transmetre es compon d'un bit de *Start*, 7 o 8 bits de dades, 1 bit de paritat i 1 o 2 bits de *Stop*. Per tal de controlar aquestes especificacions hi ha els registres de mode sèrie SCMn (n = 0,1 segons el canal que es tracti), el qual es mostra a la figura 8.2. Els bits 0 i 1 del SCM0 o SCM1 determinen el mode de comunicació sèrie i el significat dels altres bits del registre; així per programar el mode asíncron posarem el bit 1 a '0' i el bit 0 a '1', per a qualsevol dels dos canals (SMC0/SMC1). A la figura 8.2 es mostra els altres bits per aquesta combinació.



**Fig. 8.2** Mode asíncron (Configuració per a SCM0 i SCM1)



**Fig. 8.3** Senyal a transmetre

### 8.1.1 Transmissió asíncrona.

Es permet la transmissió quan el bit 7 (TxRDY) del registre SCMn és 1 y la línia CTSn és a 0. Un cop permesa la transmissió, aquesta es pot engegar carregant el *buffer* (TxBn). En acabar la transmissió, el *buffer* resta buit i es produeix una interrupció (STFn). El format de la trama emesa es pot veure a la figura 8.3. Les dades enviades estan sincronitzades amb el flanc de baixada del rellotge intern, començant pel bit menys significatiu. Quan la transmissió no està permesa o no s'emeten dades, la línia TxDn es manté a 1.

### 8.1.2 Recepció asíncrona.

Per poder rebre, primer s'ha de fixar el bit 6 (RxEn) del registre SCMn a 1. Quan la línia (RxDn) es posa a 0 (bit de *Start*), els bits són llegits cada 2G (veure la figura 8.4) en sincronització amb el senyal de rellotge que produeix el generador de bauds del canal sèrie que ha de rebre les dades. Aquests bits s'introdueixen en el *buffer* (RxBn) i es demana una interrupció (SRFn) per tal d'indicar que ha acabat la recepció del caràcter.

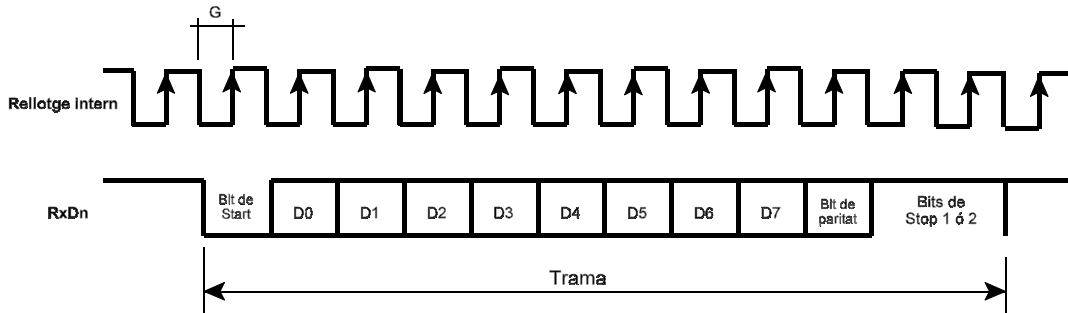


Fig. 8.4 Senyal rebut

En la recepció asíncrona d'un caràcter el V25 pot detectar tres tipus d'**errors**. Cadascú de aquests errors produeix una interrupció d'error en recepció (SEFn).

- Error de paritat
- Error de bit de Stop no detectat
- Error de desbordament de recepció en RxB

Els registres SCE0 i SCE1 ens informen del tipus d'error de recepció que s'ha produït com es pot veure a la figura 8.5. Els bits d'error s'actualitzen quan es completa una nova recepció. Els registres SCEn són només de lectura (*Reset* → 00H).

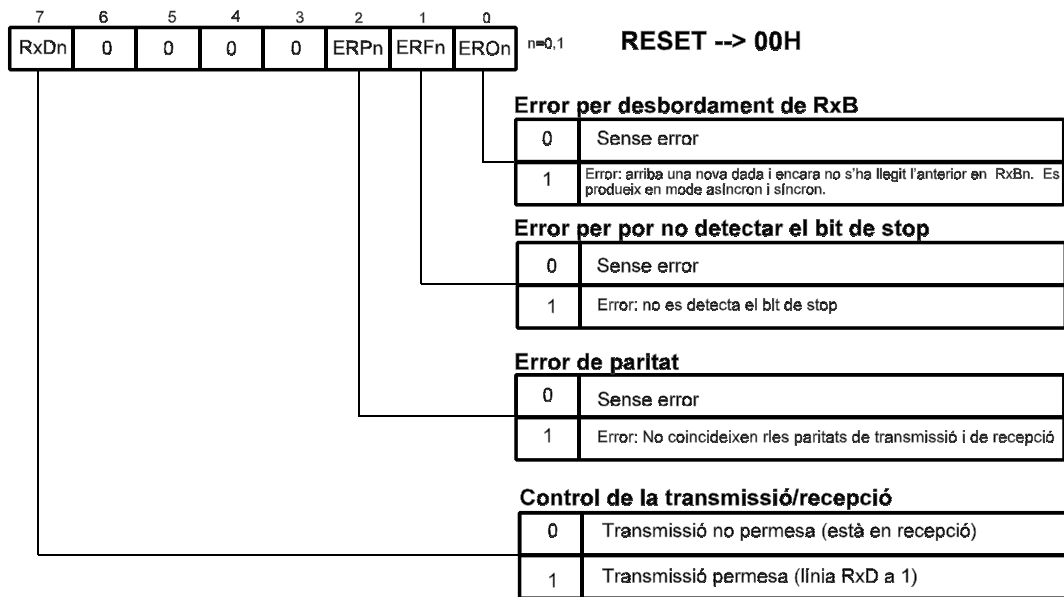


Fig. 8.5 Errors en recepció (SCEn)

## 8.2 Mode d'Interfície d'E/S (Mode síncron).

En la figura 8.6 es mostra l'esquema de la interfície per al mode síncron. Disposem dels següents senyals: TxD0 (senyal a transmetre), RxDn (senyal de recepció), SCK0 (rellotge per a la transmissió) i CTS0 (rellotge d'entrada o sortida per a la recepció).

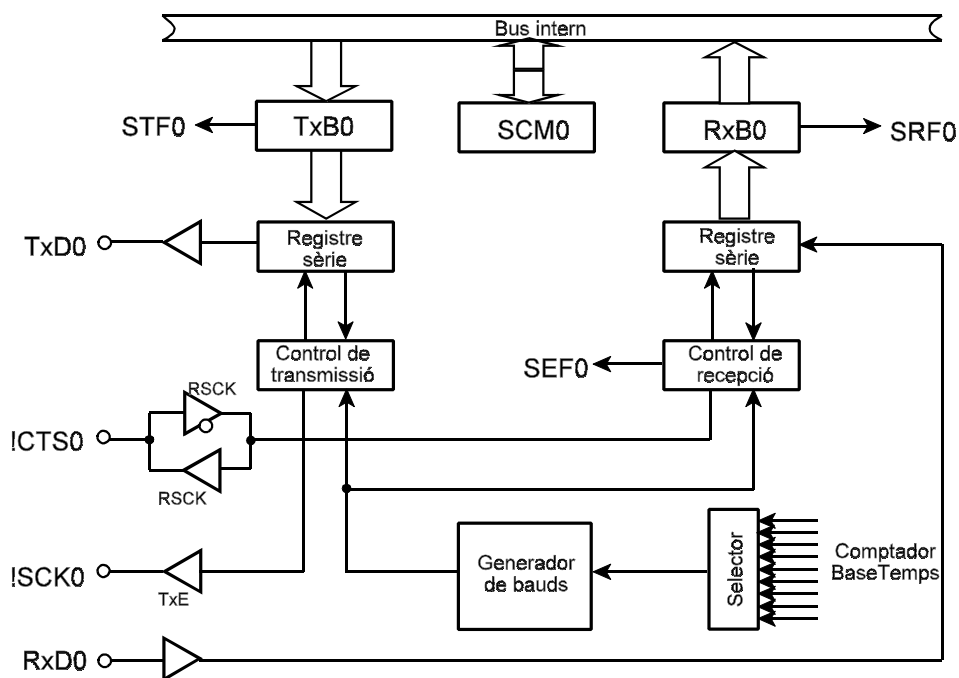
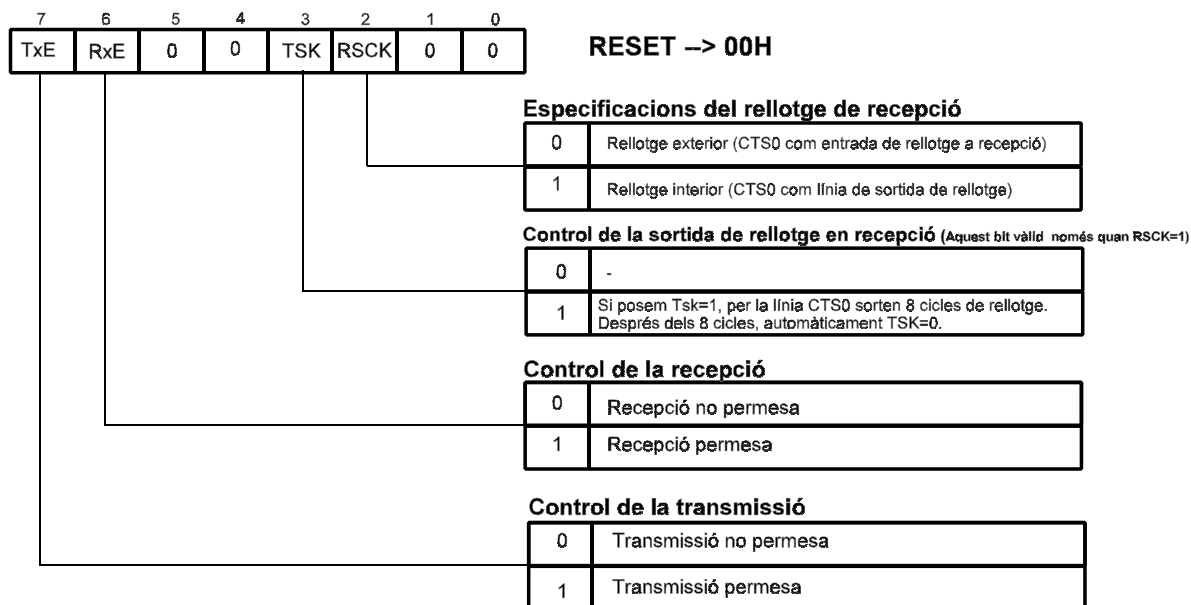


Fig. 8.6 Esquema del mode d'Interfície d'E/S (mode síncron)

El mode síncron és útil per aplicacions de control tals como convertidors A/D, control de cristalls líquids etc. Es transfereixen 8 bits, sense bit de paritat, i només el podem utilitzar amb el canal sèrie 0. Per controlar aquest mode disposem del registre SCM0 (veure figura 8.7). Novament els bits 0 i 1 (bits MD de mode), ara només del registre SCM0, determinen el mode d'operació i el significat dels altres bits del registre. Per al mode síncron correspon la combinació MD0 = 0 i MD1 = 0.

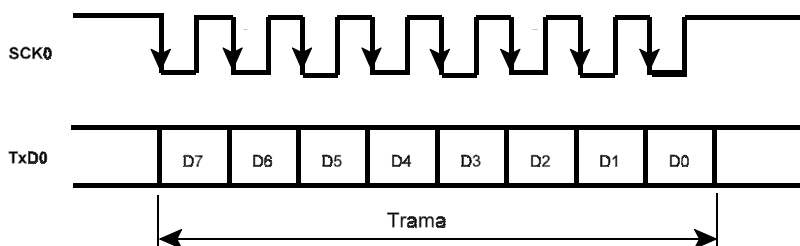


**Fig. 8.7** Registre de control (SCM0) del mode síncron

### 8.2.1 Transmissió síncrona.

Si el bit 7 (TxE) del registre SCM0 es posa a 1, la transmissió és habilitada. Al mode síncron la línia SCK0 s'utilitza com una sortida de rellotge (que no pot ser exterior en la transmissió).

Quan s'ha transmès la informació, el registre TxB0 queda buit i es produeix una interrupció que podem aprofitar per hacer tornar a carregar el registre TxB0 per a la transmissió d'una nova dada. El format del senyal a transmetre el podem veure a la figura 8.8. La dada arrenca amb el bit més significatiu i amb una longitud fixa de 8 bits.



**Fig. 8.8** Transmissió síncrona

## 8.2.2 Recepció síncrona.

Si el bit 6 (RxE) del registre SCM0 es posa a 1, la recepció és habilitada. La dada rebuda entra en el registre RxB0 sincronitzadament amb el flanc de pujada del rellotge de recepció. Rebutts ja els 8 bits, es produeix una interrupció de recepció completada.

El rellotge de recepció pot ser extern o intern i es programa amb el bit 2 (RSCK) del registre SCM0. Si s'utilitza el rellotge intern, l'operació comença quan s'escriu un 1 en el bit (TSK) del registre SCM0 i no es podrà utilitzar la funció de servei Macro como resposta d'interrupció. En aquest mode síncron la línia CTS0 funcionarà com entrada o sortida del rellotge de recepció.

## 8.3 Generador de bauds.

El generador de bauds és un temporitzador de 8 bits, dedicat a la interfície sèrie, que genera els rellotges per a la transmissió i la recepció. La fórmula per obtenir la velocitat de la transmissió en bauds és la següent:

- B = velocitat de la transmissió sèrie en Bauds.
- G = contingut dels registres BRG0 o BRG1 ( $2 \leq G \leq 255$ )
- n = contingut dels registres SCC0 i SCC1 ( $0 \leq n \leq 8$ )
- $f_{CLK}$  = Freqüència del rellotge del sistema en Hz

$$B = \frac{1}{G} \cdot \frac{f_{CLK}}{2^{n+1}}$$

La velocitat de transmissió de la comunicació sèrie, doncs, vindrà fixada pel valor que es posi als registres BRG0 o BRG1 i als registres SCC0 i SCC1 (segons sigui el canal sèrie 0 o 1). La freqüència  $f_{CLK}$  pot ser 1/2, 1/4, o 1/8 de la freqüència exterior  $f_x$  i es programa amb el registre PRC, com s'indica a l'apartat 5. En la nostra placa de pràctiques  $f_x$  és de 8 Mhz.

## 8.4 Registre d'interrupció per als ports sèrie.

Hi ha tres tipus d'interrupcions que es poden produir amb els ports sèrie (Grups 4 i 5, apartat 7) i són les següents.

- Error de recepció (SEIC0 y SEIC1)
- Recepció completada (SRIC0 y SRIC1)
- Transmissió completada (STIC0 y STIC1)

7	6	5	4	3	2	1	0
SEFn	SEMKn	MS/INT	ENCS	0	PR2	PR1	PR0
SRFn	SRMKn	MS/INT	ENCS	0	1	1	1
STFn	STMKn	MS/INT	ENCS	0	1	1	1

Per a la seva programació veure l'apartat 5 (**figura 5.1**) sobre el control d'interrupcions.



## 9. Connexió sèrie RS-232 entre el PC i la placa del V25

A la figura 9.1 s'indica el diagrama de connexions, entre els connectors sèrie RS-232, tipus mascle de 9 pins, de la placa del V25 (canal sèrie 1) i del PC (port COM1) que es realitzen mitjançant un cable i 2 connectors DB-9 (femelles de 9 pins).

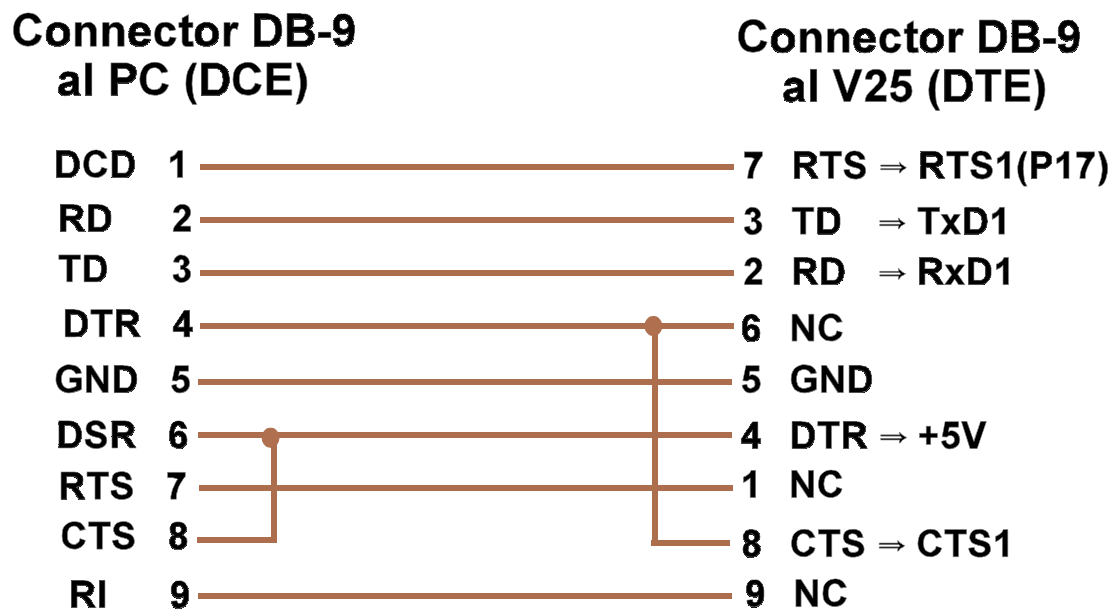


Fig. 9.1 Connexions entre el PC i la placa del V25

**DTE** *Data Terminal Equipment*  
**DCE** *Data Circuit-Terminating Equipment*  
**DCD** *Data Carrier Detect*  
**TD** *Transmit Data Line*  
**RD** *Receive Data Line*  
**DTR** *Data Terminal Ready*  
**CTS** *Clear To Send*  
**DSR** *Data Set Ready*  
**RTS** *Ready To Send*  
**CTS** *Clear To Send*  
**RI** *Ring Indicate*  
**GND** *Ground*  
**NC** *No-Connect*