

1. ModelSim

Crear proyecto

File

New

Project

nombre_proyecto

Para escoger Project Location

Browse

Seleccionar carpeta

OK

OK

Close

Importar ficheros

File → Add to Project → Existing file

Browse

Seleccionar ficheros

Abrir

OK

Compilar

Compile → Compile all

OK

Edición de código

File → Source → VHDL

Una vez editado hay que recompilar

Elaboración del diseño

Simulate → Start Simulation

Dentro de work seleccionar el diseño y la arquitectura

OK

Simulación

Visualización de señales: add wave -dec *

Ejecución: run 20000 (por ejemplo)

Análisis de resultados: Ventana wave

Avanzar simulación: run

Reiniciar simulación: restart

Breakpoints (puntos de parada)

Escoger señal de la ventana wave

Add → Breakpoint

para continuar

Simulate → Run → Continue

Fichero de comandos

Tools → Execute macro...

Seleccionar fichero .do donde están escritos los comandos.

2. Precision

Crear proyecto

New Project

Project name

Project folder: ...

Aceptar

Add input files

Seleccionar ficheros

Abrir

Setup Design

Set Frequency: 66.67 MHz

Xilinx → SPARTAN3A

Device: 3S400AFT256

Speed grade: -4

Run retiming

Compilar

Compile

Visualizar código RTL inferido

RTL schematic

Restricciones del diseño

Clocks

seleccionar clk

botón derecha → set clock constraints

OK

ports

inputs

seleccionar señal

botón derecha → set input constraints

Nets

seleccionar señal

botón derecha → set nets constraints

OK

instances

blocks

seleccionar bloque

botón derecha → preserve hierarchy

Sintetizar

Synthesize

Visualizar esquema resultado síntesis

Technology schematic

Botón derecha a ventana esquema → desmarcar Multipage schematic

Visualizar informes síntesis

Area report

Timing report

Salvar resultados

File → Project/Implementation → Save active implementation

Se guarda en *_impl_1 por defecto

Se genera el fichero *.edf y los reports *_area.rep *_timing.rep

3. ISE

Crear proyecto

File → New project
Escribir project name
Top-level module type: EDIF
Siguiente
Seleccionar Input design (fitxer *.edf)
Abrir
Siguiente
Deben aparecer las opciones:
Spartan3A and Spartan3AN
XC3S400A
ft256
-4
EDIF
ModelSim-SE VHDL
VHDL
Siguiente
Finalizar

Opciones de compilación

Ventana de procesos
(Botón derecha) Implement Design → Process Properties
Seleccionar Place & Route properties
 Generate Post Place & Route Simulation Model
indica que se genere un VHDL de simulación y un fichero SDF
OK

Ejecución

Ventana de procesos
(Botón derecha) Implement Design → Run

Resultados

Se generan los ficheros *_timesim.vhd y *_timesim.sdf en la carpeta netgen\par

4. Simulación con retardos (ModelSim)

Compilación del nuevo fichero

File → Add to project → Existing file

Browse

Seleccionar *_timesim.vhd

Abrir

OK

Compile → Compile All

Simulación

Simulate → Start Simulation

Dentro de work seleccionar *_timesim.vhd

Resolution ps

Pestaña SDF

Add

browse *_timesim.sdf

Abrir

Si el modelo de retardo corresponde a un componente del diseño

Add to region

/nombre_componente

OK

OK