

**DMII/SDII**

Tutorial de compilació I verificació física

## 0. Introducció

Aquest document proporciona informació sobre les etapes bàsiques a seguir per tal de dur a terme la compilació dels resultats obtinguts després de sintetitzar la descripció VHDL d'un sistema digital. També indica com es poden utilitzar els resultats de la compilació per tal de validar la realització física final abans de dur a terme la seva implementació.

## 1. Compilació

L'eina de compilació que s'utilitzarà al laboratori es diu Xilinx ISE, i es pot executar mitjançant la icona anomenada ISE que es troba a l'escriptori de Windows. Una vegada engegada és possible apreciar l'organització de la seva interfície gràfica, la qual es mostra a la figura 1.

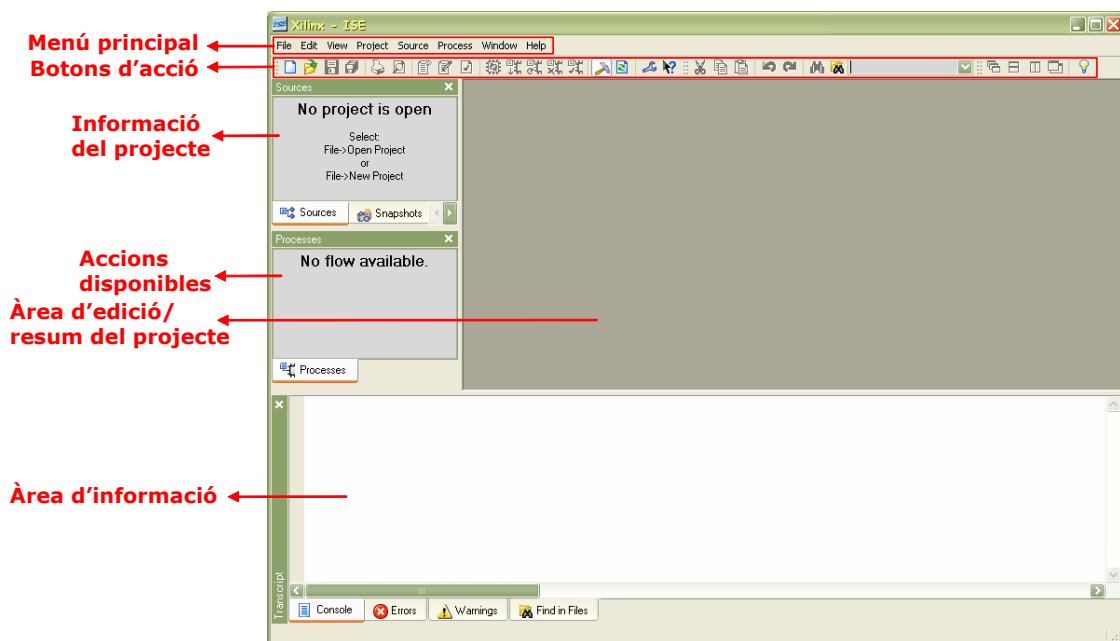


Figura 1. Organització de la interfície gràfica de l'eina de compilació Xilinx ISE.

Les etapes a seguir per tal de compilar el sistema són les següents:

1. El primer pas consisteix en la definició del projecte. Per fer-ho cal triar l'opció **File -> New Project...** del menú principal. Apareixerà una finestra de diàleg on s'han d'establir les característiques bàsiques del projecte. El nom del projecte s'ha d'introduir a la secció **Project Name:** (en el nostre cas, *tutorial*). A la secció **Project Location:** s'ha d'especificar una carpeta on se salvaran els resultats de la compilació. És important especificar un path sense espais. A la secció **Top-Level Source Type:** és necessari especificar el tipus d'entrada a utilitzar per a la compilació. S'haurà de triar l'opció **EDIF**. Després d'establir aquestes opcions es pot pulsar sobre el botó etiquetat com a **Next>** a la part inferior de la finestra. A la següent finestra de diàleg, dins de la secció **Input**

**Design:** s'han d'explorar les carpetes d'usuari fins triar el fitxer *pwm.edf* generat durant el procés de síntesi. També, tot i que no es necessita per a aquest tutorial, habitualment és necessari especificar un fitxer de restriccions UCF. Aquest fitxer assigna els pins físics de la FPGA a les entrades i sortides del sistema. Després d'introduir el fitxer EDIF és possible polsar sobre el botó etiquetat com a *Next*> a la part inferior de la finestra. A la nova finestra de diàleg s'han d'establir els següents paràmetres: **Family:** *Spartan2E*, **Device:** *XCS200E*, **Package:** *PQ208*, **Speed:** *-6*. Llavors es pot polsar sobre el botó etiquetat com a *Next*> a la part inferior de la finestra. Com a resultat apareixerà una darrera finestra de diàleg a la qual es mostrarà la informació que s'ha introduït pel projecte. Dins d'aquesta finestra es pot polsar el botó etiquetat com a **Finish**. A continuació es pot observar que les seccions corresponents a la informació del projecte i a les accions disponibles de la interfície d'usuari de l'eina de compilació s'han modificat.

2. El pas següent en el procés de compilació consisteix en la definició de les propietats del projecte. Això es pot aconseguir polsant amb el botó dreta del ratolí sobre el camp **Implement Design** de la secció d'accions disponibles (cal assegurar-se prèviament que el disseny *pwm(pwm.edf)* estigui triat a la secció d'informació del projecte) i llavors triant l'opció **Properties...** en el menú de context. A la finestra de diàleg que apareixerà tot seguit s'ha de triar la secció **Place & Route Properties** situada a l'àrea de categories (part esquerra de la finestra). A la part dreta de la finestra s'haurà d'activar l'opció **Generate Post-Place & Route Simulation Model**. Polsant sobre el botó etiquetat com a **OK** a la part inferior de la finestra s'establirà la nova opció. Aquesta opció especifica que el compilador haurà de generar una nova descripció VHDL dels resultats de la compilació, així com un fitxer de retards en format SDF. Aquests dos fitxers, anomenats respectivament *pwm\_timesim.vhd* i *pwm\_timesim.sdf*, es troben a la carpeta *netgen\par* que es crearà sota la carpeta especificada a l'opció **Project Location:** al pas 1. El fitxer *pwm\_timesim.vhd* conté un netlist estructural corresponent al disseny implementat amb primitives de baix nivell (portes i registres) disponibles al dispositiu programable. El fitxer *pwm\_timesim.sdf* especifica els retards associats amb aquestes primitives, així com els retards de propagació corresponents als senyals presents al disseny físic.
3. El projecte ja està preparat per a la seva compilació. Per iniciar el procés de compilació és necessari polsar amb el botó dreta del ratolí sobre el camp **Implement Design** de la secció d'accions disponibles i llavors triar l'opció **Run** al menú de context. L'àrea d'informació de la interfície gràfica mostrarà diversos missatges d'informació a mesura que es van completant les diverses etapes que componen la compilació. Quan la compilació estigui finalitzada apareixerà una icona etiquetada com a  l'esquerra del camp **Implement Design** de la secció d'accions disponibles.
4. Una vegada completada la compilació del disseny és possible analitzar els resultats obtinguts. Polsant dos cops sobre el camp **View Design Summary** de la secció d'accions disponibles és possible explorar les característiques més importants del disseny després de la seva implementació física. És especialment important el valor indicat sota la secció **Timing Constraints**, ja que representa el període mínim per a la senyal de rellotge que es pot utilitzar pel sistema.

## 2. verificació física

Una vegada el dissenya ha estat traduït a una representació física i abans de la seva implementació final és necessari verificar que les característiques temporals associades a aquesta nova representació permeten assolir les especificacions inicials. Per fer-ho es durà a terme un nou procés de simulació amb els retards proporcionats pel procés de compilació. En aquesta simulació s'utilitzaran els dos fitxers generats durant el procés de compilació, *pwm\_timesim.vhd* and *pwm\_timesim.sdf*. La seqüència d'etapes necessària per completar la verificació física del sistema és la següent:

1. Obrir el projecte ModelSim que es va utilitzar per a la verificació funcional del sistema.
2. Afegir el fitxer *pwm\_timesim.vhd* al projecte actual.
3. Compilar tots els fitxers del projecte actual.
4. Iniciar el procés d'elaboració triant l'opció *Simulate -> Start simulation...* del menú principal.
5. A la finestra de diàleg que apareixerà tot seguit triar en primer lloc l'entitat que s'ha d'elaborar (*work -> pwm\_test*). A la part inferior dreta d'aquesta finestra, a la secció *Resolution*, caldrà canviar la resolució de la simulació de *default* a *ps*. A la mateixa finestra, polsar sobre la pestanya etiquetada com a *SDF*.
6. Una vegada oberta la finestra de diàleg *SDF* polsar sobre el botó *Add...* S'obrirà una nova finestra de diàleg. A la seva secció *SDF File* triar el fitxer *pwm\_timesim.sdf* que es va generar durant el procés de compilació. A la secció *Apply to Region* caldrà introduir *pwm\_bloc*. Aquest és el nom que es va donar a la instància de la entitat *pwm* que s'utilitza al testbench *pwm\_test.vhd*. Llavors caldrà polsar sobre el botó *OK* d'aquesta finestra, així com sobre el botó *OK* a la finestra de diàleg *Start Simulation*. La finestra *Transcript* mostrarà diversos missatges corresponents a l'elaboració del disseny.
7. El disseny es pot simular ara tal i com es va indicar al tutorial de simulació. És interessant veure que ara el retard entre el flanc de pujada del senyal de rellotge i el canvi de la sortida *pulse* ja no és 0, com passava a la simulació funcional, donat que ara s'estan utilitzant els valors reals dels retards en el sistema.